

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0049

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: December 10, 2003

Art Unit: Unassigned

Title: SEMICONDUCTOR MEMORY DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0020768 filed April 2, 2003**

Respectfully submitted,

Date: 12/10/03

By Johnny A. Kumar

Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0020768  
Application Number

출원 년 월 일 : 2003년 04월 02일  
Date of Application APR 02, 2003

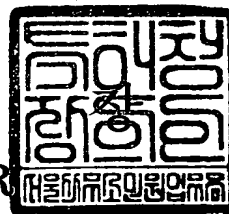
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.04.02
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 61 면 61,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 55 항 1,869,000 원

【합계】 1,959,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 불휘발성 강유전체 레지스터를 이용하여 모드 레지스터를 셋팅함으로써 시스템의 파워 업시에 모드 레지스터를 다시 셋팅하는 과정을 생략할 수 있도록 하는 기술을 개시한다. 이러한 본 발명은, 모드 리셋에 관여하는 레지스터를 불휘발성 강유전체 캐패시터로 구현함으로써, 불휘발성 강유전체 메모리에 적용시 SDR(Single Data Rate) SDRAM(Synchronous Dynamic Random Access Memory) 또는 DDR(Double Data Rate) SDRAM과 동일한 기능을 구현할 수 있도록 한다. 따라서, 본 발명은 전원의 오프시에도 모드 레지스터에 저장된 데이터를 유지할 수 있으며, 디램과의 호환성을 유지할 수 있도록 하는 효과를 제공한다.

**【대표도】**

도 7

【명세서】

【발명의 명칭】

반도체 메모리 장치{Semiconductor memory device}

【도면의 간단한 설명】

도 1은 종래의 반도체 메모리 장치에서 모드 레지스터 셋업 과정을 설명하기 위한 도면.

도 2는 종래의 반도체 메모리 장치에서 모드 레지스터 셋트의 타이밍을 설명하기 위한 도면.

도 3은 종래의 반도체 메모리 장치에서 휘발성 모드 레지스터의 구성도.

도 4는 본 발명에 따른 반도체 메모리 장치의 모드 레지스터 셋업 과정을 설명하기 위한 도면.

도 5는 본 발명에 따른 반도체 메모리 장치의 명령 수행 타이밍을 설명하기 위한 도면.

도 6은 본 발명에 따른 반도체 메모리 장치의 불휘발성 강유전체 모드 레지스터의 구성도.

도 7 및 도 8은 DDR(Double Data Rate) 동작을 구현하기 위한 본 발명에 따른 반도체 메모리 장치의 실시예들.

도 9 및 도 10은 SDR(Single Data Rate) 동작을 구현하기 위한 본 발명에 따른 반도체 메모리 장치의 실시예들.

도 11 및 도 12는 본 발명의 어드레스 천이 검출에 따른 셀의 동작을 설명하기 위한 타이밍도.

도 13은 본 발명의 입력 버퍼에 관한 상세 회로도.

도 14는 본 발명의 어드레스 래치에 관한 상세 회로도.

도 15 및 도 16은 본 발명의 스위칭부에 관한 상세 회로도.

도 17 내지 도 20은 본 발명의 터미네이션 저항 조정부에 관한 실시예들.

도 21은 본 발명의 불휘발성 강유전체 모드 레지스터 및 FeRAM 레지스터에 관한 상세 구성도.

도 22는 도 21의 프로그램 명령 처리부의 상세 구성도.

도 23은 도 22의 플립플롭에 관한 상세 회로도.

도 24는 도 21의 프로그램 명령 처리부에 관한 동작 타이밍도.

도 25는 도 21의 프로그램 레지스터 제어부에 관한 상세 회로도.

도 26은 도 21의 프로그램 레지스터 어레이에 관한 상세 회로도.

도 27은 본 발명의 파워 업 모드시 동작 타이밍도.

도 28은 본 발명의 프로그램시 동작 타이밍도.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 불휘발성 강유전체 레지스터를 이용하여 모드 레지스터를 셋팅함으로써 시스템의 전원 오프시에도 모드 레지스터에 저장된 데이터를 유지할 수 있도록 하는 기술이다.

- <23> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM;Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <24> 이러한 FeRAM은 디램과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <25> 상술된 FeRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 대한민국 출원번호 제 1999-49972호에 개시된 바 있다. 따라서, FeRAM에 관한 기본적인 구성 및 그 동작에 관한 자세한 설명은 생략하기로 한다.
- <26> 한편, 도 1 및 도 2는 종래의 반도체 메모리 장치에서 모드 레지스터 셋업 과정을 설명하기 위한 도면이다.
- <27> 종래의 반도체 메모리 장치는 칩에 전원을 공급하여 파워 업이 완료되면 클럭신호 CLK,/CLK가 발생하게 된다. 그리고, 일정 클럭신호 CLK,/CLK가 발생하는 시점에 도달하게 되면 명령 신호에 따라 모드 레지스터에 휘발성 데이터를 셋팅하는 과정을 수행한다. 그 다음에 모드 레지스터에 셋팅된 데이터에 따라 액티브, 라이트 또는 리드 명령을 수행한다. 이후에, 칩의 전원을 차단하여 파워 다운이 완료된 상태에서 전원이 재공급되면 다시 상기와 같은 모드 레지스터 셋팅 과정을 거치게 된다.
- <28> 도 3은 상술된 종래의 반도체 메모리 장치에서 모드 레지스터(2)의 상세 구성을 나타낸다.





- <29> 종래의 모드 레지스터(2)는 각각의 데이터 영역에 칩 셋팅 조건에 관한 휘발성 데이터를 저장한다. 즉, 모드 레지스터(2)는 어드레스 버스(1)로부터 인가되는 어드레스 A0~A14에 따라 해당하는 각각의 영역에 버스트 랭스(Burst Length), 버스트 타입(Burst Type), 카스 레이턴시(/Column Address Strobe Latency), 테스트 모드(Test mode) 및 DLL(Delay-locked loop; 지연 동기 루프)에 관한 휘발성 데이터를 셋팅한다.
- <30> 여기서, 버스트 랭스는 여러개의 데이터를 한번에 연속적으로 읽고 쓰는 단위로서 1,2,4,8 또는 풀 페이지(Full Page) 등으로 설정할 수 있다. 버스트 타입은 상기의 버스트 랭스에 따라 어드레스가 변화할 경우, 연속적인(Sequential) 방식 또는 인터리브(Interleave) 방식으로 어드레스를 변화시킨다.
- <31> 그리고, 카스 레이턴시는 리드 명령을 수행한 이후에 몇 클럭 후에 데이터 출력이 가능한가를 나타낸다. 여기서, 라이트 시에는 카스 레이턴시 값이 0이 된다. 또한, 테스트 모드, DLL은 테스트 모드에 관한 변수 및 지연시간 설정시 사용 되는 변수에 관한 정보를 저장한다.
- <32> 그런데, 종래의 이러한 모드 레지스터(2)는 시스템에 전원을 다시 공급할 때마다 모드 레지스터(2)에 저장된 데이터를 다시 셋팅해야 하는 문제점이 있다. 이에 따라, 시스템의 성능이 저하되고, 칩의 제어가 어려워지는 문제점이 있다.
- <33> 한편, 종래의 휘발성 모드 레지스터(2)를 채택하는 반도체 메모리 장치는 그 구동 속도가 점차적으로 증가하면서 버스 신호들의 전달 과정에서 노이즈성 반사 신호가 발생하게 된다. 이러한 노이즈성 반사 신호를 흡수하여 전달 신호의 특성을 개선하기 위해서 터미네이션(Termination) 저항을 각각의 버스에 추가하는 방법이 사용되고 있다.

<34> 그런데, 통상적으로 터미네이션 저항은 칩의 외부 보드(Board)의 버스에 설치된다. 따라서, 별도의 터미네이션 관련 회로의 구성에 의해 보드의 면적이 증가하게 되고, 파워 다운 모드시에 터미네이션 저항을 통해 전류가 누출될 수 있는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<35> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 다음과 같은 목적을 갖는다.

<36> 첫째, 모드 리셋에 관여하는 레지스터를 불휘발성 강유전체 캐패시터로 구현함으로써, 모드 레지스터에 불휘발성 특성을 부여하도록 하는데 그 목적이 있다. 특히, 불휘발성 강유전체 메모리에 적용함에 있어서, 불휘발성 강유전체 캐패시터를 모드 레지스터에 적용하여 SDR(Single Data Rate) SDRAM과 DDR(Double Data Rate) SDRAM과 동일한 동작을 구현할 수 있도록 하는데 그 목적이 있다.

<37> 둘째, 다중 어드레스를 선택적으로 스위칭하여 SRAM/플래쉬 등과 호환성을 유지할 수 있도록 하는데 그 목적이 있다.

<38> 셋째, 온-칩 터미네이션 관련 회로를 온칩 내부에 구성하여 전송 신호의 특성을 개선할 수 있도록 하는데 그 목적이 있다.

<39> 넷째, 불휘발성 강유전체 모드 레지스터를 이용하여 칩 동작에 필요한 데이터를 프로그램하여 전원의 오프시에도 저장된 데이터를 유지할 수 있도록 하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<40> 상기한 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는, 기준전압에 의해 입력되는 어드레스의 로직 레벨을 감지하여 출력하는 입력버퍼; 입력버퍼에서 출력된 어드레스를 래

치하여 뱅크 선택신호, 로오 어드레스 및 컬럼 어드레스를 순차적으로 출력하는 어드레스 래치; 불휘발성 강유전체 캐패시터에 칩 동작에 관한 각종 파라미터들을 프로그램하고, 프로그램된 코드에 따라 셀 어레이의 동기 동작을 제어하기 위한 제어신호를 출력하는 불휘발성 강유전체 모드 레지스터; 및 셀 어레이를 복수개 구비하고, 제어신호에 동기하여 뱅크 선택신호, 로오 어드레스 및 컬럼 어드레스에 따라 선택된 하나의 셀 어레이의 리드/라이트 동작을 제어하는 뱅크 어레이를 구비함을 특징으로 한다.

<41> 그리고, 본 발명은 입력되는 어드레스를 래치하여 뱅크 선택신호, 로오 어드레스 및 컬럼 어드레스를 순차적으로 출력하는 어드레스 래치; 불휘발성 강유전체 캐패시터에 칩 동작에 관한 각종 파라미터들을 프로그램하고, 프로그램된 코드에 따라 셀 어레이의 동기 동작을 제어하기 위한 제어신호를 출력하는 불휘발성 강유전체 모드 레지스터; 및 셀 어레이를 복수개 구비하고, 제어신호에 동기하여 뱅크 선택신호, 로오 어드레스 및 컬럼 어드레스에 따라 선택된 하나의 셀 어레이의 리드/라이트 동작을 제어하는 뱅크 어레이를 구비함을 특징으로 한다.

<42> 또한, 본 발명은 불휘발성 강유전체 메모리를 구비하여, 불휘발성 강유전체 메모리에 프로그램된 모드 레지스터 값에 따라 셀 어레이의 동기 동작을 제어하기 위한 제어신호를 출력하는 불휘발성 강유전체 모드 레지스터; 및 셀 어레이를 복수개 구비하고, 제어신호에 동기하여 선택된 셀 어레이의 리드/라이트 동작을 제어하는 뱅크 어레이를 구비함을 특징으로 한다.

<43> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<44> 도 4 및 도 5는 본 발명에 따른 반도체 메모리 장치의 모드 레지스터 셋업 과정을 설명하기 위한 도면이다.

- <45> 본 발명은 칩에 전원을 공급하여 파워 업이 완료되면 클럭신호 CLK,/CLK가 발생하게 된다. 이때, 본 발명은 파워업과 동시에 불휘발성 강유전체 모드 레지스터에 불휘발성 데이터를 셋팅한다. 즉, 본 발명은 제품의 칩 테스트 과정이나 시스템에 설치 후에는 별도의 CMOS 셋업 과정을 통해 모드 레지스터 셋업을 수행한다.
- <46> 그리고, 일정 클럭신호 CLK,/CLK가 발생하는 시점에 도달하게 되면 불휘발성 강유전체 모드 레지스터에 셋팅된 불휘발성 데이터에 따라 액티브, 라이트 또는 리드 명령을 수행한다. 따라서, 칩의 전원을 차단하여 파워 다운이 완료된 상태에서 전원이 재공급될 경우, 별도의 모드 레지스터 셋팅 과정을 거치지 않고 바로 명령을 수행하도록 한다.
- <47> 도 6은 본 발명의 불휘발성 강유전체 모드 레지스터(4)에 대한 상세 구성을 나타낸다.
- <48> 본 발명의 불휘발성 강유전체 모드 레지스터(4)는 각각의 데이터 영역에 칩 셋팅 조건에 관한 불휘발성 데이터를 저장한다. 즉, 불휘발성 강유전체 모드 레지스터(4)는 어드레스 버스(3)로부터 인가되는 어드레스 A0~A14에 따라 해당하는 각각의 영역에 버스트 랭스(Burst Length), 버스트 타입(Burst Type), 카스 레이턴시(/Column Address Strobe Latency), 테스트 모드(Test mode) 및 DLL(Delay-locked loop)에 관한 불휘발성 데이터를 셋팅한다. 여기서, 불휘발성 강유전체 모드 레지스터(4)는 상술된 각각의 파라미터들을 불휘발성 데이터로 저장하여, 전원의 오프시에도 데이터를 유지할 수 있도록 한다.
- <49> 도 7은 본 발명에 따른 반도체 메모리 장치의 구성도이다.
- <50> 도 7은 DDR(Double Data Rate) SDRAM과 동일한 동작을 구현할 수 있도록 하는 다중 어드레스 불휘발성 강유전체 메모리 장치에 관한 실시예이다.



- <51> 도 7의 실시예는, SSTL(Stub Series Terminated Transceiver Logic;스터브 시리즈 터미네이티드 트랜시버 로직) 버퍼(10), 컬럼 어드레스 래치(20), 로오 어드레스 래치(30), 뱅크 선택부(40), 어드레스 천이 검출부(50), 불휘발성 강유전체 모드 레지스터(60), 컬럼 버스트 카운터(Column Burst Counter;70), 뱅크 어레이(80), 데이터 입력 버퍼(90), 데이터 출력 버퍼(91), 데이터 스트로브(Strobe) 버퍼(92), DLL(Delay-locked loop;93) 및 제어신호 발생부(100)를 구비한다.
- <52> 여기서, SSTL버퍼(10)는 외부에서 입력되는 기준전압 V<sub>REF</sub>에 의해 입력되는 어드레스 A0~An의 로직 레벨을 감지한다. SSTL버퍼(10)에서 출력된 신호는 뱅크 선택부(40), 로오 어드레스 래치(30) 및 컬럼 어드레스 래치(20)에 순차적으로 출력된다.
- <53> 컬럼 어드레스 래치(20)는 컬럼 어드레스 스트로브 신호 /CAS(Column Address Strobe)에 의해 래치된 컬럼 어드레스를 컬럼 버스트 카운터(70)에 출력한다. 로오 어드레스 래치(30)는 로오 어드레스 스트로브 신호 /RAS(Row Address Strobe)에 의해 래치된 로오 어드레스를 로오 디코더(82) 및 어드레스 천이 검출부(50)에 출력한다. 뱅크 선택부(40)는 로오 어드레스 스트로브 신호 /RAS(Row Address Strobe)에 의해 뱅크 선택 신호를 어드레스 천이 검출부(50) 및 로오 디코더(82)에 출력한다.
- <54> 어드레스 천이 검출부(50)는 래치된 로오 어드레스와 뱅크 선택 신호에 의해 어드레스 천이 검출신호 ATD(Address Transition Detection)를 제어신호 발생부(100)에 출력한다. 여기서, 어드레스 천이 검출신호 ATD는 이전에 선택된 뱅크 어드레스 또는 로오 어드레스가 변경될 경우에만 발생하게 된다. 또한, 뱅크 어드레스나 로오 어드레스가 바뀌지 않을 경우에는 어드레스 천이 검출신호 ATD가 발생하지 않게 되어 셀 데이터의 센싱 동작을 수행하지 않는다.

따라서, 불필요한 셀 데이터의 파괴(Destructive) 동작을 차단하여 셀 데이터의 신뢰성을 향상시키고 칩의 구동 전류를 줄일 수 있게 된다.

- <55> 불휘발성 강유전체 모드 레지스터(60)는 상술된 도 6에 도시된 바와 같이 불휘발성 강유전체 메모리에 칩 셋팅 조건에 관한 각각의 파라미터들을 저장한다. 컬럼 버스트 카운터(70)는 버스트 모드시 컬럼 어드레스 래치(20)로부터 인가되는 래치된 컬럼 어드레스를 시작 어드레스로 사용하여, 추가적인 컬럼 어드레스를 카운팅하여 증가시킨다.
- <56> 또한, 뱅크 어레이(80)는 복수개의 뱅크(85)를 구비한다. 각각의 뱅크(85)는 셀 어레이(81), 로오 디코더(82), 컬럼 디코더(83) 및 센스앰프(84)를 구비한다.
- <57> 여기서, 로오 디코더(82)는 뱅크 선택 신호에 따라 활성화되어 래치된 로오 어드레스를 디코딩한다. 컬럼 디코더(83)는 컬럼 버스 카운터(70)의 출력에 따라 컬럼 어드레스를 디코딩한다. 그리고, 컬럼 디코더(83)는 데이터 입력 버퍼(90)를 통해 입력되는 I/O 버스 데이터를 선택적으로 센스앰프(84)에 출력한다. 또한, 컬럼 디코더(83)는 센스앰프(84)에서 증폭된 데이터를 I/O 버스를 통해 선택적으로 데이터 출력 버퍼(91)에 출력한다.
- <58> 데이터 입력 버퍼(90)는 데이터 입출력핀 DQ0~DQn으로부터 입력되는 입력 데이터를 기준 전압 V\_REF과 비교하여 I/O 버스에 출력한다. 데이터 출력 버퍼(91)는 데이터 스트로브 신호 DQS에 동기하여 I/O 버스로부터 인가되는 데이터를 데이터 입출력핀 DQ0~DQn에 출력한다.
- <59> 데이터 스트로브 버퍼(92)는 DLL(93)로부터 인가되는 출력신호에 따라 데이터 스트로브 신호 DQS를 데이터 출력버퍼(91) 및 제어신호 발생부(100)에 출력한다. DLL(93)은 입력신호의 지연 시간을 보상하기 위한 위상 변환 회로이다. 따라서, DLL(93)은 외부로부터 입력되는 동

기 클럭신호 CLK, /CLK에 동기하여 위상차를 갖는 동일한 파형의 신호를 데이터 스트로브 버퍼(92)에 출력한다.

<60> 또한, 제어신호 발생부(100)는 기준전압 V\_REF, 클럭신호 CLK, /CLK, 활성화 클럭신호 CKE, 칩 선택신호 /CS, 로오 어드레스 스트로브 신호 /RAS, 컬럼 어드레스 스트로브 신호 /CAS, 라이트 인에이블 신호 /WE, 마스크 제어신호 DMU, DML 및 데이터 스트로브 신호 DQS에 따라, 래치 클럭신호 LCK, 차동 증폭 인에이블 신호 DA\_EN 및 칩 구동에 필요한 각종 제어신호들을 발생한다.

<61> 여기서, 활성화 클럭신호 CKE는 동기 클럭신호 CLK, /CLK의 활성화 여부를 결정하기 위한 신호이다. 칩 선택신호 /CS는 명령의 입력시에 로우로 활성화되어 칩을 선택하기 위한 신호이다. 로오 어드레스 스트로브 신호 /RAS는 로오 어드레스 및 뱅크 어드레스를 스트로브 하기 위한 신호이다. 그리고, 컬럼 어드레스 스트로브 신호 /CAS는 컬럼 어드레스를 스트로브 하기 위한 신호이다. 라이트 인에이블 신호 /WE는 셀 어레이(81)에 데이터를 리드하거나 라이트 하기 위한 신호이다.

<62> 또한, 마스크 제어신호 DMU, DML는 바이트(Byte) 데이터의 라이트를 마스크하기 위한 제어신호이다. 여기서, 마스크 제어신호 DMU는 상부(Upper) 바이트 입출력 데이터의 라이트 활성화 여부를 결정하는 신호이다. 그리고, 마스크 제어신호 DML은 하부(Lower) 바이트 입출력 데이터의 라이트 활성화 여부를 결정하는 신호이다. 데이터 스트로브 신호 DQS는 양방향 제어 신호로써, 라이트 모드시에는 마스터(Master)에 의해 제어되고, 리드 모드시에는 슬레이브(Slave)에 의해 제어된다.

<63> 도 8은 DDR(Double Data Rate) SDRAM과 동일한 동작을 구현할 수 있도록 하는 다중 어드레스 조합 불휘발성 강유전체 메모리 장치에 관한 실시예이다.

- <64> 도 8의 실시예는 SRAM(Static Random Access Memory) 및 플래시(Flash)와의 호환성을 유지하기 위해 SSTL 입력 버퍼를 선택적으로 사용할 수 있도록 하는 스위칭 제어부(110,120)를 구비하는 것이 특징이다. 또한, 도 8의 구성에서 도 7과 동일한 구성요소는 도 7과 동일한 도면부호를 사용하며, 그 상세한 설명은 생략하기로 한다.
- <65> 그 구성을 살펴보면, 도 8의 실시예는 컬럼 SSTL 버퍼(11), 로오 SSTL 버퍼(12), 뱅크 SSTL 버퍼(13), 스위칭 제어부(110), 스위칭 제어부(120), 컬럼 어드레스 래치(20), 로오 어드레스 래치(30), 뱅크 선택부(40), 어드레스 천이 검출부(50), 불휘발성 강유전체 모드 레지스터(60), 컬럼 버스트 카운터(Column Burst Counter;70), 뱅크 어레이(80), 데이터 입력 버퍼(90), 데이터 출력 버퍼(91), 데이터 스트로브(Strobe) 버퍼(92), DLL(Delay-locked loop;93) 및 제어신호 발생부(100)를 구비한다.
- <66> 여기서, 스위칭 제어부(110)는 제어부(111), 스위칭부(110) 및 스위칭부(110)와 반대 위상을 갖는 스위칭부(114)를 구비한다. 그리고, 스위칭 제어부(120)는 제어부(121), 스위칭부(123) 및 스위칭부(123)와 반대 위상을 갖는 스위칭부(124)를 구비한다.
- <67> 먼저, 컬럼 SSTL 버퍼(11)는 외부에서 입력되는 기준전압 V\_REF에 의해 입력되는 컬럼 어드레스 A0~Ay의 로직 레벨을 감지한다. 그리고, 로오 SSTL 버퍼(12)는 외부에서 입력되는 기준전압 V\_REF에 의해 입력되는 로오 어드레스 A0~Ax의 로직 레벨을 감지한다. 또한, 뱅크 SSTL 버퍼(13)는 외부에서 입력되는 기준전압 V\_REF에 의해 입력되는 뱅크 어드레스 A0~Ab의 로직 레벨을 감지한다.
- <68> 컬럼 SSTL 버퍼(11)에서 출력된 신호는 스위칭 제어부(110)를 통해 컬럼 어드레스 래치(20)에 출력된다. 그리고, 로오 SSTL 버퍼(12)에서 출력된 신호는 로오 어드레스 래치(30)에



출력된다. 또한, 뱅크 SSTL 버퍼(13)에서 출력된 신호는 스위칭 제어부(120)를 통해 뱅크 선택부(40)에 출력된다.

<69> 이러한 구성을 갖는 도 8의 실시예에 대한 동작 과정을 설명하면 다음과 같다.

<70> 먼저, 통상 동작 모드일 경우에는 제어부(111)는 스위칭부(113)가 턴온되도록 제어하고, 제어부(121)는 스위칭부(123)가 턴온되도록 제어한다. 이때, 스위칭부(114) 및 스위칭부(124)는 턴오프 상태를 유지한다.

<71> 따라서, 뱅크 SSTL 버퍼(13)의 출력이 뱅크 선택부(40)에 출력되고, 로오 SSTL 버퍼(12)의 출력이 로오 어드레스 래치(30)에 출력되며, 컬럼 SSTL 버퍼(11)의 출력이 컬럼 어드레스 래치(20)에 순차적으로 출력된다.

<72> 반면에, 시분할 제어 모드일 경우에는 제어부(111)는 스위칭부(114)가 턴온되도록 제어하고, 제어부(121)는 스위칭부(124)가 턴온되도록 제어한다. 이때, 스위칭부(113) 및 스위칭부(123)는 턴오프 상태를 유지한다. 따라서, 로오 SSTL 버퍼(12)를 통해 입력되는 뱅크 어드레스, 로오 어드레스 및 컬럼 어드레스가 순차적으로 시분할 방법에 의해 제어되도록 한다.

<73> 이상에서와 같이 도 7 및 도 8의 실시예는, DDR 동작을 수행하기 위해 한 사이클 동안 적어도 2개의 데이터를 검출해야 한다. 따라서, 짧은 구간 동안 기준전압을 기준으로 하는 입력 데이터의 전압 레벨 검출이 빨라야 한다. 이를 위해, 본 발명의 도 7 및 도 8의 실시예에서는 입력 데이터의 전압 레벨로 SSTL(Stub Series Terminated Transceiver Logic) 레벨을 사용하게 된다.

<74> 도 9는 본 발명에 따른 반도체 메모리 장치의 구성도이다.

- <75> 도 9는 SDR(Single Data Rate) SDRAM과 동일한 동작을 구현할 수 있도록 하는 다중 어드레스 불휘발성 강유전체 메모리 장치에 관한 실시예이다.
- <76> 도 9의 실시예는, 컬럼 어드레스 래치(200), 로오 어드레스 래치(210), 뱅크 선택부(220), 어드레스 천이 검출부(230), 불휘발성 강유전체 모드 레지스터(240), 컬럼 버스트 카운터(250), 뱅크 어레이(260), 데이터 입력 버퍼(270), 데이터 출력 버퍼(271) 및 제어신호 발생부(280)를 구비한다.
- <77> 여기서, 컬럼 어드레스 래치(200)는 컬럼 어드레스 스트로브 신호 /CAS에 의해 입력되는 어드레스 A0~An를 컬럼 버스트 카운터(250)에 출력한다. 로오 어드레스 래치(210)는 로오 어드레스 스트로브 신호 /RAS에 의해 입력되는 로오 어드레스 A0~An를 로오 디코더(262) 및 어드레스 천이 검출부(230)에 출력한다. 뱅크 선택부(220)는 로오 어드레스 스트로브 신호 /RAS에 의해 뱅크 선택 신호를 어드레스 천이 검출부(230) 및 로오 디코더(262)에 출력한다.
- <78> 어드레스 천이 검출부(230)는 로오 어드레스 및 뱅크 어드레스의 천이에 의해 발생하는 어드레스 천이 검출신호 ATD(Address Transition Detection)를 제어신호 발생부(100)에 출력한다. 여기서, 어드레스 천이 검출신호 ATD는 이전에 선택된 뱅크 어드레스 또는 로오 어드레스가 변경될 경우에만 발생하게 된다. 또한, 뱅크 어드레스나 로오 어드레스가 바뀌지 않을 경우에는 어드레스 천이 검출신호 ATD가 발생하지 않게 되어 셀 데이터의 센싱 동작을 수행하지 않는다. 따라서, 불필요한 셀 데이터의 파괴(Destructive) 동작을 차단하여 셀 데이터의 신뢰성을 향상시키고 칩의 구동 전류를 줄일 수 있게 된다.
- <79> 불휘발성 강유전체 모드 레지스터(240)는 상술된 도 6에 도시된 바와 같이 불휘발성 강유전체 메모리에 칩 셋팅 조건에 관한 각각의 파라미터들을 저장한다. 컬럼 버스트 카운터

(250)는 버스트 모드시 컬럼 어드레스 래치(200)로부터 인가되는 컬럼 어드레스를 시작 어드레스로 사용하여, 추가적인 컬럼 어드레스를 카운팅하여 증가시킨다.

<80> 또한, 뱅크 어레이(260)는 복수개의 뱅크(265)를 구비한다. 각각의 뱅크(265)는 셀 어레이(261), 로오 디코더(262), 컬럼 디코더(263) 및 센스앰프(264)를 구비한다.

<81> 여기서, 로오 디코더(262)는 뱅크 선택 신호에 따라 활성화되어 로오 어드레스를 디코딩한다. 컬럼 디코더(263)는 컬럼 버스 카운터(250)의 출력에 따라 컬럼 어드레스를 디코딩한다. 그리고, 컬럼 디코더(263)는 데이터 입력 버퍼(270)를 통해 입력되는 I/O 버스 데이터를 선택적으로 센스앰프(264)에 출력한다. 또한, 컬럼 디코더(263)는 센스앰프(264)에서 증폭된 데이터를 I/O 버스를 통해 선택적으로 데이터 출력 버퍼(271)에 출력한다.

<82> 데이터 입력 버퍼(270)는 데이터 입출력핀 DQ0-DQn으로부터 입력되는 입력 데이터를 버퍼링하여 I/O 버스에 출력한다. 데이터 출력 버퍼(271)는 센스앰프(264)로부터 인가되는 데이터를 버퍼링하여 데이터 입출력핀 DQ0-DQn에 출력한다.

<83> 또한, 제어신호 발생부(280)는 클럭신호 CLK, 활성화 클럭신호 CKE, 칩 선택신호 /CS, 로오 어드레스 스트로브 신호 /RAS, 컬럼 어드레스 스트로브 신호 /CAS, 라이트 인에이블 신호 /WE 및 마스크 제어신호 DMU, DML에 따라 래치 클럭신호 LCK 및 칩 구동에 필요한 각종 제어신호들을 발생한다.

<84> 여기서, 활성화 클럭신호 CKE는 동기 클럭신호 CLK의 활성화 여부를 결정하기 위한 신호이다. 칩 선택신호 /CS는 명령의 입력시에 로우로 활성화되어 칩을 선택하기 위한 신호이다. 로오 어드레스 스트로브 신호 /RAS는 로오 어드레스 및 뱅크 어드레스를 스트로브 하기 위한 신호이다. 그리고, 컬럼 어드레스 스트로브 신호 /CAS는 컬럼 어드레스를 스트로브 하기 위한

신호이다. 라이트 인에이블 신호 /WE는 셀 어레이(261)에 데이터를 리드하거나 라이트하기 위한 신호이다.

<85> 또한, 마스크 제어신호 DMU, DML는 바이트(Byte) 데이터의 라이트를 마스크하기 위한 제어신호이다. 여기서, 마스크 제어신호 DMU는 상부(Upper) 바이트 입출력 데이터의 라이트 활성화 여부를 결정하는 신호이다. 그리고, 마스크 제어신호 DML은 하부(Lower) 바이트 입출력 데이터의 라이트 활성화 여부를 결정하는 신호이다.

<86> 도 10은 SDR(Single Data Rate) SDRAM과 동일한 동작을 구현할 수 있도록 하는 다중 어드레스 조합 불휘발성 강유전체 메모리 장치에 관한 실시예이다.

<87> 도 10의 실시예는 SRAM(Static Random Access Memory) 및 플래시(Flash)와의 호환성을 유지하기 위해 입력 어드레스를 선택적으로 사용할 수 있도록 하는 스위칭 제어부(290, 300)를 구비하는 것이 특징이다. 또한, 도 10의 구성에서 도 9와 동일한 구성요소는 도 9와 동일한 도면부호를 사용하며, 그 상세한 설명은 생략하기로 한다.

<88> 그 구성을 살펴보면, 도 10의 실시예는 스위칭 제어부(290), 스위칭 제어부(300), 컬럼 어드레스 래치(200), 로오 어드레스 래치(210), 뱅크 선택부(220), 어드레스 천이 검출부(230), 불휘발성 강유전체 모드 레지스터(240), 컬럼 버스트 카운터(250), 뱅크 어레이(260), 데이터 입력 버퍼(270), 데이터 출력 버퍼(271) 및 제어신호 발생부(280)를 구비한다.

<89> 여기서, 스위칭 제어부(290)는 제어부(291), 스위칭부(293) 및 스위칭부(293)와 반대 위상을 갖는 스위칭부(294)를 구비한다. 그리고, 스위칭 제어부(300)는 제어부(301), 스위칭부(303) 및 스위칭부(303)와 반대 위상을 갖는 스위칭부(304)를 구비한다.

- <90> 먼저, 입력되는 컬럼 어드레스 A0~Ay는 스위칭 제어부(290)를 통해 컬럼 어드레스 래치(200)에 출력된다. 그리고, 입력되는 로오 어드레스 A0~Ax는 로오 어드레스 래치(210)에 출력된다. 또한, 입력되는 뱅크 어드레스 A0~Ab는 스위칭 제어부(300)를 통해 뱅크 선택부(220)에 출력된다.
- <91> 이러한 구성을 갖는 도 10의 실시예에 대한 동작 과정을 설명하면 다음과 같다.
- <92> 먼저, 통상 동작 모드일 경우에는 제어부(291)는 스위칭부(293)가 턴온되도록 제어하고, 제어부(301)는 스위칭부(303)가 턴온되도록 제어한다. 이때, 스위칭부(294) 및 스위칭부(304)는 턴오프 상태를 유지한다.
- <93> 따라서, 입력되는 뱅크 어드레스 A0~Ab가 뱅크 선택부(220)에 바로 출력되고, 입력되는 로오 어드레스 A0~Ax가 로오 어드레스 래치(210)에 바로 출력되며, 입력되는 컬럼 어드레스 A0~Ay가 컬럼 어드레스 래치(200)에 순차적으로 출력된다.
- <94> 반면에, 시분할 제어 모드일 경우에는 제어부(290)는 스위칭부(294)가 턴온되도록 제어하고, 제어부(301)는 스위칭부(304)가 턴온되도록 제어한다. 이때, 스위칭부(293) 및 스위칭부(303)는 턴오프 상태를 유지한다. 따라서, 로오 어드레스 A0~Ax 입력핀을 통해 입력되는 뱅크 어드레스, 로오 어드레스 및 컬럼 어드레스가 순차적으로 시분할 방법에 의해 제어되도록 한다.
- <95> 이상에서와 같이 도 9 및 도 10의 실시예는, SDR 동작을 수행하기 위해 입력 데이터의 레벨이 LVTTTL(Low Voltage Transistor Transistor Logic;저전압 트랜지스터 트랜지스터 로직) 레벨이 된다. 즉, 한 사이클 동안 하나의 데이터가 출력되므로 저전압 레벨의 칩에 적용할 수 있게 된다.



- <96> 한편, 도 11 및 도 12는 본 발명에 따른 반도체 메모리 장치에서 어드레스 천이 검출 신호 ATD와 관련된 동작을 설명하기 위한 타이밍도이다.
- <97> 도 11의 타이밍도에서는 뱅크 어드레스 및 로오 어드레스가 변하지 않고 액티브 명령이 실행된 경우의 셀 동작을 나타낸다.
- <98> 먼저, 액티브 명령의 수행 과정에서 어드레스 천이 검출 신호 ATD는 입력되는 뱅크 어드레스 및 로오 어드레스가 이전 사이클의 뱅크 어드레스 및 로오 어드레스와 같을 경우 발생하지 않는다.
- <99> 즉, 도 11의 타이밍도에 도시된 바와 같이, 초기 어드레스 천이 검출 신호 ATD가 발생된 이후에 더이상 어드레스 천이 검출 신호 ATD가 발생하지 않을 경우, 셀 데이터의 센싱시 리드 명령에 따라 셀 데이터를 재저장 하고 라이트 명령에 따라 셀 데이터 라이트 동작이 순차적으로 수행된다.
- <100> 또한, 도 12의 타이밍도에서는 뱅크 어드레스 또는 로오 어드레스가 변하고 액티브 명령이 실행된 경우의 셀 동작을 나타낸다.
- <101> 먼저, 액티브 명령의 수행 과정에서 어드레스 천이 검출 신호 ATD는 입력되는 뱅크 어드레스 및 로오 어드레스가 이전 사이클의 뱅크 어드레스 및 로오 어드레스와 다를 경우 발생하게 된다. 즉, 도 12의 타이밍도에 도시된 바와 같이, 어드레스 천이 검출 신호 ATD가 발생될 때마다 액티브 명령에 동기하여 새로운 셀 데이터를 센싱해야만 한다.
- <102> 즉, 셀 데이터의 센싱시 비트라인을 로우로 프리차지 시킨 후 워드라인과 플레이트 라인에 하이 펄스를 인가함으로써 셀 데이터가 파괴 동작을 수행하도록 한다. 이후에, 파괴된 셀

데이터는 센스앰프에 의해 감지되고 증폭된 후 센스앰프에 저장되어 페이지 버퍼로써의 역할을 수행하게 된다.

<103> 이러한 상태에서 다음 명령인 리드 또는 라이트 명령에 의해 각각 재저장이나 라이트 동작을 수행하게 된다. 이때, 동일한 로오 어드레스에서 액티브 동작이 반복될 경우 셀 데이터 센싱과정에서 발생하는 셀 데이터 반복적인 파괴 동작을 방지하기 위해 어드레스 천이 검출 신호 ATD를 제어하게 된다. 결국, 어드레스 천이 검출신호 ATD가 인에이블될 경우에만 셀 데이터의 센싱 동작을 수행함으로써, 불필요한 셀 데이터 센싱 동작에 의한 전력 소모를 방지할 수 있게 된다.

<104> 한편, 도 13은 상술된 도 7 및 도 8의 실시예에서 SSTL 버퍼(10), 컬럼 SSTL 버퍼(11), 로오 SSTL 버퍼(12) 및 뱅크 SSTL 버퍼(13)에 공통으로 적용되는 상세 회로도이다.

<105> 이러한 SSTL 버퍼(10), 컬럼 SSTL 버퍼(11), 로오 SSTL 버퍼(12) 및 뱅크 SSTL 버퍼(13)를 이후 설명에서는 입력버퍼라고 칭하기로 한다. 또한, 도 13의 실시예에서 입력버퍼는 도 7의 SSTL 버퍼(10)를 그 실시예로 설명하고자 한다.

<106> 입력버퍼는 차동 증폭부(14), 구동부(15) 및 인버터 IV1을 구비한다.

<107> 여기서, 차동 증폭부(14)는 PMOS트랜지스터 P1,P2, NMOS트랜지스터 N1~N3를 구비한다. PMOS트랜지스터 P1,P2는 공통 소스 단자를 통해 전원전압이 인가되고, 공통 게이트 단자가 PMOS트랜지스터 P1의 드레인 단자에 연결된다.

<108> NMOS트랜지스터 N1는 PMOS트랜지스터 P1 및 NMOS트랜지스터 N3 사이에 연결되어 게이트 단자를 통해 기준전압 V\_REF가 인가된다. 그리고, NMOS트랜지스터 N2는 PMOS트랜지스터 P2 및 NMOS트랜지스터 N2 사이에 연결되어 게이트 단자를 통해 어드레스 An가 인가된다. NMOS트랜지

스터 N3은 NMOS트랜지스터 N1,N2의 공통 소스 단자와 접지전압단 사이에 연결되어 게이트 단자를 통해 차동 증폭 인에이블 신호 DA\_EN가 인가된다.

<109> 또한, 구동부(15)는 전원전압단과 차동 증폭부(14)의 출력단 사이에 연결되어 게이트 단자를 통해 차동 증폭 인에이블 신호 DA\_EN가 인가되는 PMOS트랜지스터 P3을 구비한다. 인버터 IV1은 구동부(15)의 출력신호를 반전하여 출력신호 OUT을 출력한다.

<110> 이러한 구성을 갖는 입력버퍼는 차동 증폭 인에이블 신호 DA\_EN의 인에이블시 기준전압 V\_REF과 입력되는 어드레스 An의 전압레벨을 비교 및 증폭하여 출력한다. 그리고, 차동 증폭 인에이블 신호 DA\_EN가 디스에이블될 경우 구동부(15)가 인에이블되어 출력신호 OUT로써 로우 레벨의 전압을 출력하게 된다.

<111> 도 14는 상술된 도 7 내지 도 10의 실시예에서 컬럼 어드레스 래치(20,200), 로오 어드레스 래치(30,210) 및 뱅크 선택부(40,220)에 공통으로 적용되는 상세 회로도이다.

<112> 이러한 컬럼 어드레스 래치(20,200), 로오 어드레스 래치(30,210) 및 뱅크 선택부(40,220)를 이후 설명에서는 어드레스 래치라고 칭하기로 한다.

<113> 어드레스 래치는 전송게이트 T1,T2, 인버터 IV2~IV4를 구비한다. 인버터 IV2는 제어신호 발생부(100,280)로부터 인가되는 래치 클럭신호 LCK를 반전한다. 전송게이트 T1는 래치 클럭신호 LCK의 상태에 따라 입력버퍼의 출력신호 OUT를 선택적으로 출력한다. 여기서, 어드레스 래치에 입력되는 신호는 도 7 및 도 8의 실시예에서는 입력버퍼의 출력신호 OUT가 되고, 도 9 및 도 10의 실시예에서는 입력패드로부터 인가되는 어드레스 A\_PAD가 된다. 전송게이트 T2는 래치 클럭신호 LCK의 상태에 따라 인버터 IV3,IV4에 의해 래치된 신호를 선택적으로 출력한다.



- <114> 도 15는 상술된 도 8 및 도 10의 실시예에서 스위칭 제어부(110) 및 스위칭 제어부(290)에 공통으로 적용되는 상세 회로도이다. 여기서, 스위칭 제어부(110)와 스위칭 제어부(290)의 구성 및 동작 과정은 동일하므로 도 15에서는 도 8을 그 실시예로 설명하고자 한다.
- <115> 스위칭 제어부(110)는 제어부(111), 스위칭부(113) 및 스위칭부(114)를 구비한다.
- <116> 여기서, 제어부(111)는 불휘발성 강유전체 캐패시터에 입력버퍼의 선택적인 출력 및 시분할 제어에 관한 동작을 셋팅하여 선택적인 스위칭 동작을 제어하기 위한 스위칭 제어신호 RE, REB를 출력하는 FeRAM레지스터(112)를 구비한다.
- <117> 스위칭부(113)는 전송게이트 T3, T4를 구비한다. 전송게이트 T3, T4는 스위칭 제어신호 RE가 하이 레벨이고, 스위칭 제어신호 REB가 로우 레벨일 경우 턴온되어 입력버퍼를 통해 인가되는 컬럼 어드레스 A0~Ay를 컬럼 어드레스 래치(20)에 출력한다.
- <118> 스위칭부(114)는 전송게이트 T5, T6을 구비한다. 전송게이트 T5, T6은 스위칭 제어신호 REB가 하이 레벨이고, 스위칭 제어신호 RE가 로우 레벨일 경우 턴온되어 입력버퍼를 통해 인가되는 어드레스 A0~Am을 컬럼 어드레스 래치(20)에 출력한다.
- <119> 도 16은 상술된 도 8 및 도 10의 실시예에서 스위칭 제어부(120) 및 스위칭 제어부(300)에 공통으로 적용되는 상세 회로도이다. 여기서, 스위칭 제어부(120)와 스위칭 제어부(300)의 구성 및 동작 과정은 동일하므로 도 16에서는 도 8을 그 실시예로 설명하고자 한다.
- <120> 스위칭 제어부(120)는 제어부(121), 스위칭부(123) 및 스위칭부(124)를 구비한다.
- <121> 여기서, 제어부(121)는 불휘발성 강유전체 캐패시터에 입력버퍼의 선택적인 출력 및 시분할 제어에 관한 동작을 셋팅하여 선택적인 스위칭 동작을 제어하기 위한 스위칭 제어신호 RE, REB를 출력하는 FeRAM레지스터(122)를 구비한다.

- <122> 스위칭부(123)는 전송게이트 T7,T8를 구비한다. 전송게이트 T7,T8는 스위칭 제어신호 RE가 하이 레벨이고, 스위칭 제어신호 REB가 로우 레벨일 경우 턴온되어 입력버퍼를 통해 인가되는 뱅크 어드레스 A0~Ab를 뱅크 선택부(40)에 출력한다.
- <123> 스위칭부(124)는 전송게이트 T9,T10를 구비한다. 전송게이트 T9,T10는 스위칭 제어신호 REB가 하이 레벨이고, 스위칭 제어신호 RE가 로우 레벨일 경우 턴온되어 입력버퍼를 통해 인가되는 어드레스 A0~An를 뱅크 선택부(40)에 출력한다.
- <124> 한편, 도 17은 입력신호의 전달 특성을 개선하기 위한 터미네이션 저항 조정부(320)의 회로도이다.
- <125> 터미네이션 저항 조정부(320)는 불휘발성 강유전체 메모리 칩의 내부에 위치하며, 입력핀(310)과 입력버퍼(330)의 사이에 구비된다. 여기서, 입력핀(310)은 시스템 버스 상의 어드레스, 제어신호 및 데이터 버스 신호가 입력된다.
- <126> 터미네이션 저항 조정부(320)는 FeRAM레지스터(321,323), 터미네이션 스위칭부(322,324) 및 터미네이션 저항 R1,R2를 구비한다.
- <127> 여기서, FeRAM레지스터(321,323)는 불휘발성 강유전체 캐패시터에 터미네이션 스위칭부(322,324)의 스위칭 동작을 제어하기 위한 데이터를 셋팅한다. 터미네이션 스위칭부(322)는 FeRAM레지스터(321)의 출력 상태에 따라 터미네이션 전압 VTT을 터미네이션 저항 R1에 선택적으로 출력하는 전송게이트 T11을 구비한다. 그리고, 터미네이션 스위칭부(324)는 FeRAM레지스터(323)의 출력 상태에 따라 접지전압 VSS을 터미네이션 저항 R2에 선택적으로 출력하는 전송게이트 T12를 구비한다.

- <128> 따라서, 입력핀(310)으로부터 인가되는 입력신호가 입력버퍼(330)로 전달시 터미네이션 저항 R1,R2에 의해 노이즈성 반사 신호를 흡수하여 입력신호의 전달 특성을 개선할 수 있게 된다. 또한, FeRAM레지스터(321,323)는 불휘발성 강유전체 캐패시터에 터미네이션을 제어하기 위한 초기 프로그램 데이터가 저장되므로, 전원의 오프시에도 저장된 데이터를 유지할 수 있게 된다.
- <129> 도 18은 터미네이션 저항 조정부(320)의 다른 실시예이다.
- <130> 도 18의 실시예는 도 17의 실시예에 비해 터미네이션 저항 R1,R2가 생략된 구조이다. 따라서, 터미네이션 스위칭부(322,324)의 활성화시 터미네이션 스위칭부(322,324)의 자체 저항에 의해 노이즈성 반사 신호를 흡수하여 입력신호의 전달 특성을 개선할 수 있게 된다.
- <131> 도 19는 입력신호의 전달 특성을 개선하기 위한 터미네이션 저항 조정부(350)의 또 다른 실시예이다.
- <132> 터미네이션 저항 조정부(350)는 불휘발성 강유전체 메모리 칩의 내부에 위치하며, 입력핀(340)과 입력버퍼(360)의 사이에 구비된다. 여기서, 입력핀(340)은 시스템 버스 상의 어드레스, 제어신호 및 데이터 버스 신호가 입력된다.
- <133> 터미네이션 저항 조정부(350)는 FeRAM레지스터(351,354), 터미네이션 제어부(352,355), 터미네이션 스위칭부(353,356) 및 터미네이션 저항 R3,R4을 구비한다.
- <134> 여기서, FeRAM레지스터(351,354)는 불휘발성 강유전체 캐패시터에 터미네이션 스위칭부(353,356)의 스위칭 동작을 제어하기 위한 데이터를 셋팅한다.
- <135> 그리고, 터미네이션 제어부(352)는 칩 구동 제어신호 CS1과 FeRAM레지스터(351)의 출력신호를 각각 앤드연산하는 앤드게이트 AND1,AND2를 구비한다. 따라서, 칩 구동 제어신호 CS1

와 FeRAM레지스터(351)의 출력신호가 동시에 활성화될 때 터미네이션 스위칭부(353)가 활성화된다. 또한, 터미네이션 제어부(355)는 칩 구동 제어신호 CS2와 FeRAM레지스터(354)의 출력신호를 각각 앤드연산하는 앤드게이트 AND3,AND4를 구비한다. 따라서, 칩 구동 제어신호 CS2와 FeRAM레지스터(354)의 출력신호가 동시에 활성화될 때 터미네이션 스위칭부(356)가 활성화된다.

<136> 터미네이션 스위칭부(353)는 터미네이션 제어부(352)의 출력 상태에 따라 터미네이션 전압 VTT을 터미네이션 저항 R3에 선택적으로 출력하는 전송게이트 T13를 구비한다. 그리고, 터미네이션 스위칭부(356)는 터미네이션 제어부(355)의 출력 상태에 따라 접지전압 VSS을 터미네이션 저항 R4에 선택적으로 출력하는 전송게이트 T14를 구비한다.

<137> 따라서, 입력핀(340)으로부터 인가되는 입력신호가 입력버퍼(360)로 전달시 터미네이션 저항 R3,R4에 의해 노이즈성 반사 신호를 흡수하여 입력신호의 전달 특성을 개선할 수 있게 된다. 또한, FeRAM레지스터(351,354)는 불휘발성 강유전체 캐패시터에 터미네이션을 제어하기 위한 초기 프로그램 데이터가 저장되므로, 전원의 오프시에도 저장된 데이터를 유지할 수 있게 된다.

<138> 도 20은 터미네이션 저항 조정부(350)의 또 다른 실시예이다.

<139> 도 20의 실시예는 도 19의 실시예에 비해 터미네이션 저항 R3,R4가 생략된 구조이다.

따라서, 터미네이션 스위칭부(353,356)의 활성화시 터미네이션 스위칭부(353,356)의 자체 저항에 의해 노이즈성 반사 신호를 흡수하여 입력신호의 전달 특성을 개선할 수 있게 된다.

- <140> 한편, 도 21은 도 7 내지 도 10의 불휘발성 강유전체 모드 레지스터(60,240) 및 도 15 내지 도 20의 FeRAM레지스터에 공통으로 적용되는 상세 구성도이다. 이하에서는, 불휘발성 강유전체 모드 레지스터(60)를 그 실시예로 설명하고자 한다.
- <141> 불휘발성 강유전체 모드 레지스터(60)는 프로그램 명령 처리부(400), 프로그램 레지스터 제어부(500), 리셋 회로부(600) 및 프로그램 레지스터 어레이(700)를 구비한다.
- <142> 여기서, 프로그램 명령 처리부(400)는 라이트 인에이블 신호 WEB, 로오 어드레스 스트로브 신호 /RAS, 컬럼 어드레스 스트로브 신호 /CAS 및 리셋신호 RESET에 따라 프로그램 명령을 코딩하여 명령신호 CMD를 출력한다. 프로그램 레지스터 제어부(500)는 명령신호 CMD, 파워 업 검출신호 PUP 및 입력 데이터 DQ<sub>n</sub>를 논리조합하여 라이트 제어신호 ENW 및 셀 플레이트 신호 CPL를 출력한다.
- <143> 리셋 회로부(600)는 파워 업시 리셋 신호 RESET를 프로그램 레지스터 제어부(500)에 출력한다. 프로그램 레지스터 어레이(700)는 풀업 인에이블 신호 ENP, 풀다운 인에이블 신호 ENN, 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL에 따라 외부로부터 입력되는 데이터 D<sub>m</sub>/D<sub>m</sub>를 불휘발성 강유전체 캐패시터에 프로그램하여 제어신호 RE<sub>m</sub>,REB<sub>m</sub>를 출력한다.
- <144> 이러한 구성을 갖는 본 발명은, 프로그램 명령 처리부(400)에서 명령 신호 CMD가 발생하면, 프로그램 레지스터 제어부(500)는 프로그램 레지스터 어레이(700)의 프로그램의 컨피걸(Configure) 데이터를 바꾸거나 설정하게 된다.
- <145> 한편, 리셋 회로부(600)는 파워 업시에 리셋 신호 RESET를 발생하여 프로그램 레지스터 제어부(500)를 활성화시킨다. 이때, 프로그램 레지스터 제어부(500)에서 출력된 제어신호들은

프로그램 레지스터 어레이(700)의 불휘발성 데이터를 초기화 설정하기 위한 레지스터 동작 신호들이다.

<146> 도 22는 도 21의 프로그램 명령 처리부(400)에 관한 상세 회로도이다.

<147> 프로그램 명령 처리부(400)는 명령 제어부(410) 및 다중 명령 발생부(420)를 구비한다.

<148> 먼저, 명령 제어부(410)는 논리부(411), 플립플롭부(412) 및 오버 토글(Over toggle) 감지부(413)를 구비한다.

<149> 여기서, 논리부(411)는 노아게이트 NOR1, 앤드게이트 AND5, AND6 및 인버터 IV5를 구비한다. 노아게이트 NOR1는 로오 어드레스 스트로브 신호 /RAS 및 라이트 인에이블 신호 WEB를 노아연산한다. 앤드게이트 AND5는 노아게이트 NOR1의 출력신호와 컬럼 어드레스 스트로브 신호 /CAS를 앤드연산한다. 앤드게이트 AND6는 노아게이트 NOR1의 출력신호, 인버터 IV5에 의해 반전된 리셋신호 RESET 및 오버 토글 감지부(413)의 출력신호를 앤드연산한다.

<150> 그리고, 플립플롭부(412)는 복수개의 플립플롭 FF를 구비한다. 복수개의 플립플롭 FF은 노아게이트 NOR1의 출력신호가 입력되는 데이터 입력단자 d와 출력단자 q가 서로 직렬로 연결되어 노드 (A)를 통해 명령 신호 CMD를 출력한다. 또한, 플립플롭 FF은 입력단자 cp를 통해 앤드게이트 AND5로부터의 활성화 동기 신호가 입력되고, 리셋단자 R을 통해 앤드게이트 AND6로부터의 리셋신호가 입력된다.

<151> 여기서, 플립플롭 FF의 입력단자 cp에는 로오 어드레스 스트로브 신호 /RAS 및 라이트 인에이블 신호 WEB가 로우인 상태에서 컬럼 어드레스 스트로브 신호 /CAS가 입력된다. 그리고, 플립플롭 FF의 리셋단자 R는 로오 어드레스 스트로브 신호 /RAS 및 라이트 인에이블 신호

WEB 중 어느 하나가 하이 레벨이 되면 로우 신호가 입력되어 리셋된다. 또한, 파워 업시에 리셋 신호 RESET가 하이인 구간에서 플립플롭 FF이 리셋된다.

<152> 오버 토글 감지부(413)는 노드 (A)의 출력신호와 컬럼 어드레스 스트로브 신호 /CAS를 앤드연산하는 낸드게이트 ND1를 구비한다. 오버 토글 감지부(413)는 컬럼 어드레스 스트로브 신호 /CAS가 n번의 토글 횟수를 초과하여 오버 토글이 발생할 경우 플립플롭부(412)를 리셋시킨다. 따라서, 각각의 프로그램 명령 처리부(400)의 토글 횟수는 서로 다른 값이 되도록 설정한다.

<153> 또한, 다중 명령 발생부(420)는 논리부(421) 및 플립플롭부(422)를 구비한다.

<154> 여기서, 논리부(421)는 노아게이트 NOR2, 앤드게이트 AND7, AND8 및 인버터 IV6를 구비한다. 노아게이트 NOR2는 로오 어드레스 스트로브 신호 /RAS 및 라이트 인에이블 신호 WEB를 노아연산한다. 앤드게이트 AND7는 노아게이트 NOR2의 출력신호와 컬럼 어드레스 스트로브 신호 /CAS를 앤드연산한다. 앤드게이트 AND8는 노아게이트 NOR2의 출력신호 및 인버터 IV6에 의해 반전된 리셋신호 RESET를 앤드연산한다.

<155> 그리고, 플립플롭부(422)는 복수개의 플립플롭 FF을 구비한다. 플립플롭 FF(n+1)은 명령 제어부(410)의 플립플롭 FF(n-1)으로부터 인가되는 출력신호가 입력단자 d로 입력된다. 복수개의 플립플롭 FF의 입력단자 d와 출력단자 q는 서로 직렬로 연결되어, 플립플롭 FF(n+1)으로부터 출력된 하이 펄스가 다음 단의 플립플롭으로 순차적으로 이동한다. 따라서, 플립플롭 FF은 각각의 연결 노드를 통해 복수개의 명령 신호인 제 1\_CMD, 제 2\_CMD, 제 m\_CMD를 순차적으로 출력한다.



- <156> 또한, 플립플롭 FF은 입력단자 cp를 통해 앤드게이트 AND7로부터의 활성화 동기 신호가 입력되고, 리셋단자 R을 통해 앤드게이트 AND8로부터의 리셋신호가 입력된다.
- <157> 여기서, 플립플롭 FF의 입력단자 cp에는 로오 어드레스 스트로브 신호 /RAS 및 라이트 인에이블 신호 WEB가 로우인 상태에서 컬럼 어드레스 스트로브 신호 /CAS가 입력된다. 그리고, 플립플롭 FF의 리셋단자 R는 로오 어드레스 스트로브 신호 /RAS 또는 라이트 인에이블 신호 WEB 중 어느 하나가 하이 레벨이 되면 로우 신호가 입력되어 리셋된다. 또한, 파워 업시에 리셋 신호 RESET가 하이인 구간에서 플립플롭 FF이 리셋된다.
- <158> 도 23은 도 22의 플립플롭 FF에 관한 상세 회로도이다.
- <159> 플립플롭 FF은 전송게이트 T15~T18, 낸드게이트 ND2,ND3 및 인버터 IV7~IV12를 구비한다. 여기서, 인버터 IV7는 입력단자 cp의 출력신호를 반전하고, 인버터 IV8는 인버터 IV7의 출력신호를 반전한다.
- <160> 전송게이트 T15는 노드 B,C의 출력 상태에 따라, 인버터 IV9에 의해 반전된 입력단자의 d의 출력신호를 선택적으로 출력한다. 낸드게이트 ND2는 인버터 IV10의 출력신호와 리셋단자 R의 출력신호를 낸드연산한다. 전송게이트 T16는 노드 B,C의 출력 상태에 따라 낸드게이트 ND2의 출력신호를 선택적으로 출력한다.
- <161> 전송게이트 T17는 노드 B,C의 출력 상태에 따라 인버터 IV10의 출력신호를 선택적으로 출력한다. 낸드게이트 ND3는 전송게이트 T17의 출력신호와 리셋단자 R의 출력신호를 낸드연산한다.
- <162> 전송게이트 T18는 노드 B,C의 출력 상태에 따라 인버터 IV11의 출력신호를 선택적으로 출력한다. 인버터 IV12는 낸드게이트 ND3의 출력신호를 반전하여 출력단자 q에 출력한다.



- <163> 따라서, 입력단자 d로부터 입력되는 데이터는 입력단자 cp를 통해 입력되는 제어신호가 한번 토글될때마다 오른쪽으로 이동하게 된다. 이때, 리셋단자 R에 로우 신호가 입력될 경우 출력단자 q에는 로우 신호가 출력되어 플립플롭 FF이 리셋 상태가 된다.
- <164> 도 24는 프로그램 명령 처리부(400)의 동작 과정을 설명하기 위한 타이밍도이다.
- <165> 먼저, 명령 처리 구간에서는 로우 어드레스 스트로브 신호 /RAS, 라이트 인에이블 신호 WEB가 로우 상태를 유지한다. 그리고, 컬럼 어드레스 스트로브 신호 /CAS가 n번 토글할 동안에는 명령 신호 CMD가 디스에이블 상태를 유지한다.
- <166> 이후에, 프로그래머블 활성화 구간에 진입하여 컬럼 어드레스 스트로브 신호 /CAS가 n번 토글하게 되면 플립플롭 FF(n+1)으로부터 출력되는 명령신호 제 1\_CMD가 하이로 인에이블된다.
- <167> 이후에, n번째 토글 이후에 오버 토글 감지부(413)가 오버 토글을 감지하게 되면 노드 (A)의 출력신호가 디스에이블된다. 이때, 플립플롭 FF(n-1)의 출력신호가 플립플롭 FF(n+1)에 입력되므로, 다중 명령 발생부(420)는 오버 토글 감지부(413)의 영향을 받지 않는다.
- <168> 다음에, n+1번째 토글이 발생하면 명령신호 제 1\_CMD가 디스에이블되고, 플립플롭 FF(n+2)으로부터 출력되는 명령신호 제 2\_CMD가 하이로 인에이블된다.
- <169> 여기서, 컬럼 어드레스 스트로브 신호 /CAS의 토글 갯수를 조정할 경우에는 직렬 연결된 플립플롭 FF의 갯수를 조정하게 된다.
- <170> 도 25는 도 21의 프로그램 레지스터 제어부(500)에 관한 상세 회로도이다.

- <171> 프로그램 레지스터 제어부(500)는 n번째 명령신호 n\_CMD와 입력 데이터 DQ\_n를 앤드연산하는 앤드게이트 AND9를 구비한다. 인버터 IV13~IV15는 앤드게이트 AND9의 출력신호를 반전지연한다.
- <172> 노아게이트 NOR3는 앤드게이트 AND9의 출력신호와 지연부(510)의 출력신호를 노아연산한다. 인버터 IV6, IV17는 노아게이트 NOR3의 출력신호를 지연하여 라이트 제어 신호 ENW를 출력한다.
- <173> 노아게이트 NOR4는 노아게이트 NOR3의 출력신호와 파워 업 검출신호 PUP를 노아연산한다. 인버터 IV18~IV20는 노아게이트 NOR4의 출력신호를 반전 지연하여 셀 플레이트 신호 CPL를 출력한다.
- <174> 여기서, 파워 업 검출신호 PUP는 초기의 리셋시 레지스터에 저장된 데이터를 리드한 이후에 다시 레지스터를 셋트하기 위한 제어신호이다.
- <175> n번째 명령신호 n\_CMD가 하이로 활성화 된 이후 입력패드를 이용하여 입력 데이터 DQ\_n를 토글시키면, 지연부(510)의 지연 시간만큼의 펄스폭을 갖는 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 발생한다.
- <176> 도 26은 도 21의 프로그램 레지스터 어레이(700)에 관한 상세 회로도이다.
- <177> 프로그램 레지스터 어레이(700)는 풀업 스위치 P4, 풀업 구동부(710), 라이트 인에이블 제어부(720), 강유전체 캐패시터부(730), 풀다운 구동부(740) 및 풀다운 스위치 N8를 구비한다.
- <178> 여기서, 풀업 스위치 P4는 전원전압단과 풀업 구동부(710) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP를 수신한다. 풀업 구동부(710)는 풀업 스위치 P4와 라이트

인에이블 제어부(720) 사이에 위치하며, 노드 CN1,CN2 사이에 래치 구조로 연결된 PMOS트랜지스터 P5,P6를 구비한다.

<179> 라이트 인에이블 제어부(720)는 한쌍의 데이터 /D<sub>m</sub>,D<sub>m</sub> 입력단자와 노드 CN1,CN2사이에 각각 연결되어 공통 게이트 단자를 통해 라이트 제어 신호 ENW를 수신하는 NMOS트랜지스터 N4,N5를 구비한다.

<180> 강유전체 캐패시터부(730)는 불휘발성 강유전체 캐패시터 FC1-FC4를 구비한다. 불휘발성 강유전체 캐패시터 FC1는 일단이 노드 CN1과 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다. 불휘발성 강유전체 캐패시터 FC2는 일단이 노드 CN2와 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다.

<181> 그리고, 불휘발성 강유전체 캐패시터 FC3은 노드 CN1과 접지전압단 사이에 연결되고, 불휘발성 강유전체 캐패시터 FC4는 노드 CN2와 접지전압단 사이에 연결된다. 여기서, 불휘발성 강유전체 캐패시터 FC3,FC4는 노드 CN1,CN2 양단의 로딩 레벨 제어에 따라 선택적으로 추가되어 사용될 수도 있다.

<182> 또한, 폴다운 구동부(740)는 강유전체 캐패시터부(730)와 폴다운 스위치 N8사이에 위치하며, 노드 CN1,CN2 사이에 래치 구조로 연결된 NMOS트랜지스터 N6,N7를 구비한다. 폴다운 스위치 N8는 폴다운 구동부(740)와 접지전압 VSS 인가단 사이에 연결되어 게이트 단자를 통해 폴다운 인에이블 신호 ENN를 수신한다. 또한, 프로그램 레지스터 어레이(700)는 출력단을 통해 제어신호 REB<sub>m</sub>, RE<sub>m</sub>를 각각 출력한다.

<183> 한편, 도 27은 본 발명의 파워업 모드시 동작 타이밍도이다.

- <184> 먼저, 파워 업 이후 T1구간에서 전원이 안정된 전원전압 VCC 레벨에 도달하면 리셋신호 RESET가 디스에이블되고, 파워 업 검출신호 PUP가 인에이블된다.
- <185> 이후에, 파워 업 검출신호 PUP의 인에이블에 따라 셀 플레이트 신호 CPL가 하이로 천이한다. 이때, 프로그램 레지스터 어레이(700)의 불휘발성 강유전체 캐패시터 FC1,FC2에 저장된 전하가 불휘발성 강유전체 캐패시터 FC3,FC4의 캐패시턴스 로드 에 의해 셀 양단 노드 즉, CN1과 CN2에 전압차를 발생시킨다.
- <186> 셀 양단 노드에 충분히 전압차가 발생하는 T2구간에 진입하면 풀다운 인에이블 신호 ENN가 하이로 인에이블되고, 풀업 인에이블 신호 ENP로 로우로 디스에이블되어 양단 노드 CN1,CN2의 데이터를 증폭하게 된다.
- <187> 이후에, T3구간에 진입하여 셀 양단 노드 CN1,CN2의 데이터 증폭이 완료되면, 파워 업 검출신호 PUP 및 셀 플레이트 신호 CPL를 다시 로우로 천이시킨다. 따라서, 파괴되었던 불휘발성 강유전체 캐패시터 FC1 또는 불휘발성 강유전체 캐패시터 FC2의 하이 데이터를 다시 복구하게 된다. 이때, 라이트 제어 신호 ENW는 로우 상태를 유지하여 외부 데이터가 다시 라이트되는 것을 방지한다.
- <188> 도 28은 본 발명의 프로그램 동작시 n번째 명령신호 n\_CMD가 하이로 활성화된 이후에 프로그램 레지스터에 새로운 데이터를 셋트하기 위한 동작 타이밍도를 나타낸다.
- <189> 먼저, n번째 명령신호 n\_CMD가 하이로 인에이블된 후 일정시간이 지나면, 새로운 데이터 D<sub>m</sub>,/D<sub>m</sub>가 입력된다. 그리고, 데이터 입/출력 패드로부터 인가되는 입력 데이터 DQ<sub>n</sub>가 하이에서 로우로 디스에이블되면 프로그램 사이클이 시작되어 레지스터에 새로운 데이터를 라이트 하기 위한 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 하이로 천이한다. 이때, 풀다

운 인에이블 신호 ENN는 하이 상태를 유지하고, 풀업 인에이블 신호 ENP는 로우 상태를 유지한다. 또한, 라이트 인에이블 신호 WEB 및 로오 어드레스 스트로브 신호 /RAS는 로우 상태를 유지한다.

<190> 따라서, 프로그램 레지스터 제어부(500)에 n번째 명령 신호 n\_CMD가 하이로 입력될 경우 프로그램 명령 처리부(400)로부터의 신호유입이 차단되어, 더이상 제어 명령이 입력되지 않는 상태에서 프로그램 동작을 수행할 수 있게 된다.

#### 【발명의 효과】

<191> 이상에서 설명한 바와 같이, 본 발명은 다음과 같은 효과를 제공한다.

<192> 첫째, 모드 리셋에 관여하는 레지스터를 불휘발성 강유전체 캐패시터로 구현하여 모든 반도체 메모리 장치의 모드 레지스터에 불휘발성 특성을 부여할 수 있게 된다. 특히, 불휘발성 강유전체 메모리에 적용함에 있어서, 불휘발성 강유전체 캐패시터를 모드 레지스터에 적용하여 SDR(Single Data Rate) SDRAM과 DDR(Double Data Rate) SDRAM과 동일한 동작을 구현할 수 있도록 한다.

<193> 둘째, 다중 어드레스를 선택적으로 스위칭하여 SRAM/플래쉬 등과 호환성을 유지할 수 있도록 한다.

<194> 셋째, 온-칩 터미네이션 관련 회로를 개선하여, 전송 신호의 잡음을 줄이고 양질의 마진을 확보할 수 있으며 시스템 보드의 면적 및 코스트 증가를 감소시킬 수 있도록 한다.

<195> 넷째, 불휘발성 강유전체 모드 레지스터를 이용하여 전원의 오프시에도 저장된 데이터를 유지할 수 있으므로 전력 소모를 감소시킬 수 있도록 한다.

## 【특허청구범위】

## 【청구항 1】

기준전압에 의해 입력되는 어드레스의 로직 레벨을 감지하여 출력하는 입력버퍼;

상기 입력버퍼에서 출력된 어드레스를 래치하여 뱅크 선택신호, 로오 어드레스 및 컬럼 어드레스를 순차적으로 출력하는 어드레스 래치;

불휘발성 강유전체 캐패시터에 칩 동작에 관한 각종 파라미터들을 프로그램하고, 프로그램된 코드에 따라 셀 어레이의 동기 동작을 제어하기 위한 제어신호를 출력하는 불휘발성 강유전체 모드 레지스터; 및

상기 셀 어레이를 복수개 구비하고, 상기 제어신호에 동기하여 상기 뱅크 선택신호, 상기 로오 어드레스 및 상기 컬럼 어드레스에 따라 선택된 하나의 셀 어레이의 리드/라이트 동작을 제어하는 뱅크 어레이를 구비함을 특징으로 하는 반도체 메모리 장치.

## 【청구항 2】

제 1항에 있어서,

상기 입력버퍼는 상기 어드레스의 로직 레벨이 스태브 시리즈 터미네이티드 트랜시버 로직 레벨임을 특징으로 하는 반도체 메모리 장치.

## 【청구항 3】

제 1항 또는 제 2항에 있어서, 상기 입력버퍼는

차동 증폭 인에이블 신호의 인에이블시 상기 기준전압과 상기 어드레스의 전압레벨을 비교하여 증폭하는 차동증폭부; 및

상기 차동 증폭 인에이블 신호의 디스에이블시 상기 차동증폭부의 출력을 전원전압으로 프리차지시키는 구동부를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 4】**

제 3항에 있어서, 상기 차동 증폭부는

공통 소스 단자를 통해 전원전압이 인가되고, 공통 게이트 단자가 어느 한쪽의 드레인 단자와 연결된 제 1PMOS트랜지스터 및 제 2PMOS트랜지스터;

상기 제 1PMOS트랜지스터와 드레인 단자가 공통 연결되어 게이트 단자를 통해 상기 기준 전압이 인가되는 제 1NMOS트랜지스터;

상기 제 2PMOS트랜지스터와 드레인 단자가 공통 연결되어 게이트 단자를 통해 상기 어드레스가 인가되는 제 2NMOS트랜지스터; 및

상기 제 1NMOS트랜지스터 및 상기 제 2NMOS트랜지스터의 공통 소스 단자와 접지전압단 사이에 연결되어 게이트 단자를 통해 상기 차동 증폭 인에이블 신호가 인가되는 제 3NMOS트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 5】**

제 3항에 있어서, 상기 구동부는

전원전압단과 상기 차동 증폭부의 출력단 사이에 연결되어 게이트 단자를 통해 상기 차동 증폭 인에이블 신호가 인가되는 제 3PMOS트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 6】**

제 1항 또는 제 2항에 있어서, 상기 어드레스 래치는



상기 입력버퍼로부터 출력된 어드레스를 래치하여 컬럼 어드레스 스트로브 신호의 활성화시 상기 컬럼 어드레스를 출력하는 컬럼 어드레스 래치;

상기 입력버퍼로부터 출력된 어드레스를 래치하여 로오 어드레스 스트로브 신호의 활성화시 상기 로오 어드레스를 출력하는 로오 어드레스 래치; 및

상기 입력버퍼로부터 출력된 어드레스를 래치하여 상기 로오 어드레스 스트로브 신호의 활성화시 상기 뱅크 선택신호 및 뱅크 어드레스를 출력하는 뱅크 선택부를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 7】

제 6항에 있어서,

상기 컬럼 어드레스 래치, 상기 로오 어드레스 래치 및 상기 뱅크 선택부 중 최소한 하나 이상은

래치 클럭신호의 상태에 따라 상기 입력버퍼 출력신호를 선택적으로 출력하는 제 1전송 게이트;

상기 제 1전송게이트의 출력신호를 저장하는 래치 구조의 제 1인버터 및 제 2인버터; 및

상기 래치 클럭신호의 상태에 따라 상기 제 1인버터 및 제 2인버터의 출력신호를 선택적으로 출력하는 제 2전송게이트를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 8】

제 1항 또는 제 2항에 있어서, 상기 입력버퍼는





상기 기준전압에 의해 입력되는 컬럼 어드레스의 로직 레벨을 감지하여 출력하는 컬럼 어드레스 버퍼;

상기 기준전압에 의해 입력되는 로오 어드레스의 로직 레벨을 감지하여 출력하는 로오 어드레스 버퍼; 및

상기 기준전압에 의해 입력되는 뱅크 어드레스의 로직 레벨을 감지하여 출력하는 뱅크 어드레스 버퍼를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 9】

제 8항에 있어서,

상기 불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 상기 컬럼 어드레스 버퍼, 상기 로오 어드레스 버퍼 및 상기 뱅크 어드레스 버퍼의 출력 경로를 선택적으로 스위칭하여 상기 뱅크 어드레스, 상기 로오 어드레스 및 상기 컬럼 어드레스를 순차적으로 시분할 제어하는 스위칭 제어부를 더 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 10】

제 9항에 있어서, 상기 스위칭 제어부는

제 1불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 발생하는 제 1스위칭 제어 신호의 상태에 따라 상기 컬럼 어드레스 버퍼 및 상기 로오 어드레스 버퍼의 출력 경로를 선택적으로 제어하는 제 1스위칭 제어부; 및

제 2불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 발생하는 제 2스위칭 제어 신호의 상태에 따라 상기 로오 어드레스 버퍼 및 상기 뱅크 어드레스 버퍼의 출력 경로를 선택적으로 제어하는 제 2스위칭 제어부를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 11】**

제 10항에 있어서, 상기 제 1스위칭 제어부는

상기 제 1불휘발성 강유전체 캐패시터를 구비하여 상기 제 1스위칭 제어신호를 발생하는 제 1제어부;

상기 제 1스위칭 제어신호의 활성화시 상기 컬럼 어드레스 버퍼의 출력 경로를 선택하는 제 1스위칭부; 및

상기 제 1스위칭 제어신호의 비활성화시 상기 로오 어드레스 버퍼의 출력 경로를 선택하는 제 2스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 12】**

제 11항에 있어서,

상기 제 1스위칭부는 상기 제 1스위칭 제어신호의 활성화시 상기 컬럼 어드레스 버퍼의 출력신호를 상기 컬럼 어드레스 래치에 출력하는 복수개의 제 3전송게이트를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 13】**

제 11항에 있어서,

상기 제 2스위칭부는 상기 제 1스위칭 제어신호의 비활성화시 상기 로오 어드레스 버퍼의 출력신호를 상기 컬럼 어드레스 래치에 출력하는 복수개의 제 4전송게이트를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 14】**

제 10항에 있어서, 상기 제 2스위칭 제어부는

상기 제 2불휘발성 강유전체 캐패시터를 구비하여 상기 제 2스위칭 제어신호를 발생하  
는 제 2제어부;

상기 제 2스위칭 제어신호의 활성화시 상기 뱅크 어드레스 버퍼의 출력 경로를 선택하는  
제 3스위칭부; 및

상기 제 2스위칭 제어신호의 비활성화시 상기 로오 어드레스 버퍼의 출력 경로를 선택하  
는 제 4스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

제 14항에 있어서,

상기 제 3스위칭부는 상기 제 2스위칭 제어신호의 활성화시 상기 뱅크 어드레스 버퍼의  
출력신호를 상기 뱅크 선택부에 출력하는 복수개의 제 5전송게이트를 구비함을 특징으로 하는  
반도체 메모리 장치.

【청구항 16】

제 14항에 있어서,

상기 제 4스위칭부는 상기 제 2스위칭 제어신호의 비활성화시 상기 로오 어드레스 버퍼  
의 출력신호를 상기 뱅크 선택부에 출력하는 복수개의 제 6전송게이트를 구비함을 특징으로 하  
는 반도체 메모리 장치.

【청구항 17】

제 1항에 있어서,

상기 로오 어드레스 및 상기 뱅크 어드레스의 천이를 감지하여 적어도 어느 하나의 어  
드레스가 천이할 경우 어드레스 천이 검출신호를 활성화시키는 어드레스 천이 검출부;

버스트 모드시 상기 제어신호에 동기하여 상기 컬럼 어드레스를 카운팅하는 컬럼 버스트 카운터;

상기 불휘발성 강유전체 모드 레지스터의 제어에 따라 상기 칩 동작에 필요한 각종 구동 제어신호들을 선택적으로 발생하는 제어신호 발생부;

상기 제어신호 발생부로부터 인가되는 클럭신호에 동기하여 위상차를 갖는 동일한 파형의 클럭을 발생하는 지연 동기 루프;

상기 클럭에 동기하여 데이터 출력을 제어하기 위한 데이터 스트로브 신호를 출력하는 데이터 스트로브 버퍼;

상기 기준전압과 입력되는 데이터를 비교하여 상기 뱅크 어레이에 출력하는 데이터 입력 버퍼; 및

상기 데이터 스트로브 신호에 동기하여 상기 셀 어레이에 저장된 데이터를 출력하는 데이터 출력 버퍼를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 18】

제 17항에 있어서,

상기 제어신호 발생부는 상기 기준전압, 상기 클럭신호, 활성화 클럭신호, 칩 선택신호, 로오 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호, 라이트 인에이블 신호, 마스크 제어신호 및 데이터 스트로브 신호를 제어하여 상기 구동 제어신호들을 선택적으로 출력함을 특징으로 하는 반도체 메모리 장치.

【청구항 19】

제 1항에 있어서,

상기 입력버퍼와 입력핀 사이에 구비되며, 불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 상기 입력핀을 통해 입력되는 입력신호의 터미네이션 저항을 선택적으로 제어하는 터미네이션 저항 조정부를 더 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 20】

제 19항에 있어서, 상기 터미네이션 저항 조정부는

상기 불휘발성 강유전체 캐패시터에 셋팅된 데이터에 따라 상기 터미네이션 저항을 제어하기 위한 제 1스위칭 구동신호 및 제 2스위칭 구동신호를 선택적으로 출력하는 제 1불휘발성 강유전체 레지스터;

상기 제 1스위칭 구동신호의 상태에 따라 스위칭하여 터미네이션 전압을 선택적으로 공급하는 제 1터미네이션 스위칭부; 및

상기 제 2스위칭 구동신호의 상태에 따라 스위칭하여 접지전압을 선택적으로 공급하는 제 2터미네이션 스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 21】

제 20항에 있어서, 상기 터미네이션 저항 조정부는

상기 제 1터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 1터미네이션 저항; 및

상기 제 2터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 2터미네이션 저항을 더 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 22】**

제 19항에 있어서, 상기 터미네이션 저항 조정부는

상기 불휘발성 강유전체 캐패시터에 셋팅된 데이터에 따라 상기 터미네이션 저항을 제어하기 위한 제 3스위칭 구동신호 및 제 4스위칭 구동신호를 선택적으로 출력하는 제 2불휘발성 강유전체 레지스터;

상기 제 3스위칭 구동신호 및 제 1칩 구동 제어신호를 논리연산하는 제 1터미네이션 제어부;

상기 제 1터미네이션 제어부의 제어에 따라 스위칭하여 터미네이션 전압을 선택적으로 공급하는 제 3터미네이션 스위칭부;

상기 제 4스위칭 구동신호 및 제 2칩 구동 제어신호를 논리연산하는 제 2터미네이션 제어부; 및

상기 제 2터미네이션 제어부의 제어에 따라 스위칭하여 접지전압을 선택적으로 공급하는 제 4터미네이션 스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 23】**

제 22항에 있어서, 상기 터미네이션 저항 조정부는

상기 제 3터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 3터미네이션 저항; 및

상기 제 4터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 4터미네이션 저항을 더 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 24】

제 1항에 있어서, 상기 불휘발성 강유전체 모드 레지스터는

라이트 인에이블 신호, 로오 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호 및 리셋신호에 따라 프로그램 명령을 코딩하기 위한 복수개의 다중 명령신호를 순차적으로 출력하는 프로그램 명령 처리부;

상기 복수개의 다중 명령 명령신호 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부; 및

상기 불휘발성 강유전체 캐패시터를 구비하고, 상기 라이트 제어 신호 및 상기 셀 플레이트 신호에 따라 상기 불휘발성 강유전체 캐패시터에 셋팅된 상기 제어신호를 출력하는 프로그램 레지스터 어레이를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 25】

제 24항에 있어서,

상기 불휘발성 강유전체 모드 레지스터는 파워 업시 상기 리셋신호를 상기 프로그램 레지스터 제어부에 출력하는 리셋 회로부를 더 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 26】

제 24항에 있어서, 상기 프로그램 명령 처리부는

상기 라이트 인에이블 신호 및 상기 로오 어드레스 스트로브 신호의 활성화시 상기 컬럼 어드레스 스트로브 신호에 동기하여 명령 제어신호를 발생하는 명령 제어부; 및

상기 라이트 인에이블 신호 및 상기 로오 어드레스 스트로브의 활성화시 상기 컬럼 어드레스 스트로브 신호에 동기하여 상기 명령 제어신호를 플립플롭하고, 상기 복수개의 다중 명령

신호를 순차적으로 출력하는 다중 명령 발생부를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 27】

제 26항에 있어서, 상기 명령 제어부는

상기 라이트 인에이블 신호, 상기 로오 어드레스 스트로브 신호, 상기 컬럼 어드레스 스트로브 신호 및 상기 리셋신호를 논리연산하는 제 1논리부;

상기 컬럼 어드레스 스트로브 신호에 동기하여 상기 제 1논리부의 출력신호의 토글을 순차적으로 플립플롭시켜 상기 명령 제어신호를 출력하는 제 1플립플롭부; 및

상기 명령 제어신호와 상기 컬럼 어드레스 스트로브 신호의 논리연산에 따라 상기 컬럼 어드레스 스트로브 신호의 오버 토글을 감지하는 오버 토글 감지부를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 28】

제 26항에 있어서, 상기 다중 명령 발생부는

상기 라이트 인에이블 신호, 상기 로오 어드레스 스트로브 신호, 상기 컬럼 어드레스 스트로브 신호 및 상기 리셋신호를 논리연산하는 제 2논리부; 및

상기 제 2논리부의 출력신호에 동기하여 상기 컬럼 어드레스 스트로브 신호의 n번째 토글시부터 상기 명령 제어신호를 플립플롭시켜 상기 복수개의 다중 명령신호를 순차적으로 출력하는 제 2플립플롭부를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 29】

제 24항에 있어서, 상기 프로그램 레지스터 어레이는





상기 풀업 인에이블 신호의 활성화시 전원전압을 풀업시키는 풀업 스위치;

셀의 양단 노드에 래치 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 구동하는 풀업 구동부;

한쌍의 데이터 입력단자와 상기 셀의 양단 노드 사이에 각각 연결되어 공통 게이트 단자를 통해 상기 라이트 제어 신호를 수신하는 라이트 인에이블 제어부;

상기 셀 플레이트 신호에 따라 상기 셀의 양단 노드에 전압 차를 발생시키는 강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 스위치; 및

상기 셀의 양단 노드에 래치 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지전압을 구동하는 풀다운 구동부를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 30】

입력되는 어드레스를 래치하여 뱅크 선택신호, 로오 어드레스 및 컬럼 어드레스를 순차적으로 출력하는 어드레스 래치;

불휘발성 강유전체 캐패시터에 칩 동작에 관한 각종 파라미터들을 프로그램하고, 프로그램된 코드에 따라 셀 어레이의 동기 동작을 제어하기 위한 제어신호를 출력하는 불휘발성 강유전체 모드 레지스터; 및

상기 셀 어레이를 복수개 구비하고, 상기 제어신호에 동기하여 상기 뱅크 선택신호, 상기 로오 어드레스 및 상기 컬럼 어드레스에 따라 선택된 하나의 셀 어레이의 리드/라이트 동작을 제어하는 뱅크 어레이를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 31】

제 30항에 있어서,

상기 어드레스의 로직 레벨은 저전압 트랜지스터 트랜지스터 로직 레벨임을 특징으로 하는 반도체 메모리 장치.

【청구항 32】

제 30항 또는 제 31항에 있어서, 상기 어드레스 래치는

상기 어드레스를 래치하여 컬럼 어드레스 스트로브 신호의 활성화시 상기 컬럼 어드레스를 출력하는 컬럼 어드레스 래치;

상기 어드레스를 래치하여 로오 어드레스 스트로브 신호의 활성화시 상기 로오 어드레스를 출력하는 로오 어드레스 래치; 및

상기 어드레스를 래치하여 상기 로오 어드레스 스트로브 신호의 활성화시 상기 뱅크 선택신호 및 뱅크 어드레스를 출력하는 뱅크 선택부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 33】

제 32항에 있어서,

상기 컬럼 어드레스 래치, 상기 로오 어드레스 래치 및 상기 뱅크 선택부 중 최소한 하나 이상은

래치 클럭신호의 상태에 따라 입력패드로부터 인가되는 상기 어드레스를 선택적으로 출력하는 제 1전송게이트;

상기 제 1전송게이트의 출력신호를 저장하는 래치 구조의 제 1인버터 및 제 2인버터;  
및

상기 래치 클럭신호의 상태에 따라 상기 제 1인버터 및 제 2인버터의 출력신호를 선택적으로 출력하는 제 2전송게이트를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 34】

제 30항에 있어서,

상기 불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 상기 어드레스의 출력 경로를 선택적으로 스위칭하여 상기 뱅크 어드레스, 상기 로오 어드레스 및 상기 컬럼 어드레스를 순차적으로 시분할 제어하는 스위칭 제어부를 더 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 35】

제 34항에 있어서, 상기 스위칭 제어부는

제 1불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 발생하는 제 1스위칭 제어신호의 상태에 따라 상기 컬럼 어드레스 및 상기 로오 어드레스의 출력 경로를 선택적으로 제어하는 제 1스위칭 제어부; 및

제 2불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 발생하는 제 2스위칭 제어신호의 상태에 따라 상기 로오 어드레스 및 상기 뱅크 어드레스의 출력 경로를 선택적으로 제어하는 제 2스위칭 제어부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 36】

제 35항에 있어서, 상기 제 1스위칭 제어부는

상기 제 1불휘발성 강유전체 캐패시터를 구비하여 상기 제 1스위칭 제어신호를 발생하  
는 제 1제어부;

상기 제 1스위칭 제어신호의 활성화시 상기 컬럼 어드레스의 출력 경로를 선택하는 제 1  
스위칭부; 및

상기 제 1스위칭 제어신호의 비활성화시 상기 로오 어드레스의 출력 경로를 선택하는 제  
2스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 37】

제 36항에 있어서,

상기 제 1스위칭부는 상기 제 1스위칭 제어신호의 활성화시 상기 컬럼 어드레스를 상기  
컬럼 어드레스 래치에 출력하는 복수개의 제 3전송게이트를 구비함을 특징으로 하는 반도체 메  
모리 장치.

【청구항 38】

제 36항에 있어서,

상기 제 2스위칭부는 상기 제 1스위칭 제어신호의 비활성화시 상기 로오 어드레스를 상  
기 컬럼 어드레스 래치에 출력하는 복수개의 제 4전송게이트를 구비함을 특징으로 하는 반도체  
메모리 장치.

【청구항 39】

제 35항에 있어서, 상기 제 2스위칭 제어부는

상기 제 2불휘발성 강유전체 캐패시터를 구비하여 상기 제 2스위칭 제어신호를 발생하  
는 제 2제어부;

상기 제 2스위칭 제어신호의 활성화시 상기 뱅크 어드레스의 출력 경로를 선택하는 제 3 스위칭부; 및

상기 제 2스위칭 제어신호의 비활성화시 상기 로오 어드레스의 출력 경로를 선택하는 제 4스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 40】

제 39항에 있어서,

상기 제 3스위칭부는 상기 제 2스위칭 제어신호의 활성화시 상기 뱅크 어드레스를 상기 뱅크 선택부에 출력하는 복수개의 제 5전송게이트를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 41】

제 39항에 있어서,

상기 제 4스위칭부는 상기 제 2스위칭 제어신호의 비활성화시 상기 로오 어드레스를 상기 뱅크 선택부에 출력하는 복수개의 제 6전송게이트를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 42】

제 30항에 있어서,

상기 로오 어드레스 및 상기 뱅크 어드레스의 천이를 감지하여 적어도 어느 하나의 어드레스가 천이할 경우 어드레스 천이 검출신호를 활성화시키는 어드레스 천이 검출부;

버스트 모드시 상기 제어신호에 동기하여 상기 컬럼 어드레스를 카운팅하는 컬럼 버스트 카운터;

상기 불휘발성 강유전체 모드 레지스터의 제어에 따라 상기 칩 동작에 필요한 각종 구동 제어신호들을 선택적으로 발생하는 제어신호 발생부; 및

상기 셀 어레이와의 데이터 입/출력을 제어하는 데이터 입/출력 버퍼를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 43】

제 42항에 있어서,

상기 제어신호 발생부는 클럭신호, 활성화 클럭신호, 칩 선택신호, 로오 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호, 라이트 인에이블 신호 및 마스크 제어신호를 제어하여 상기 구동 제어신호들을 선택적으로 출력함을 특징으로 하는 반도체 메모리 장치.

【청구항 44】

제 30항에 있어서,

상기 어드레스 래치와 입력핀 사이에 구비되며, 불휘발성 강유전체 캐패시터에 프로그램된 코드에 따라 상기 입력핀을 통해 입력되는 입력신호의 터미네이션 저항을 선택적으로 제어하는 터미네이션 저항 조정부를 더 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 45】

제 44항에 있어서, 상기 터미네이션 저항 조정부는

상기 불휘발성 강유전체 캐패시터에 셋팅된 데이터에 따라 상기 터미네이션 저항을 제어하기 위한 제 1스위칭 구동신호 및 제 2스위칭 구동신호를 선택적으로 출력하는 제 1불휘발성 강유전체 레지스터;

상기 제 1스위칭 구동신호의 상태에 따라 스위칭하여 터미네이션 전압을 선택적으로 공급하는 제 1터미네이션 스위칭부; 및

상기 제 2스위칭 구동신호의 상태에 따라 스위칭하여 접지전압을 선택적으로 공급하는 제 2터미네이션 스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 46】**

제 45항에 있어서, 상기 터미네이션 저항 조정부는

상기 제 1터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 1터미네이션 저항; 및

상기 제 2터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 2터미네이션 저항을 더 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 47】**

제 44항에 있어서, 상기 터미네이션 저항 조정부는

상기 불휘발성 강유전체 캐패시터에 셋팅된 데이터에 따라 상기 터미네이션 저항을 제어하기 위한 제 3스위칭 구동신호 및 제 4스위칭 구동신호를 선택적으로 출력하는 제 2불휘발성 강유전체 레지스터;

상기 제 3스위칭 구동신호 및 제 1칩 구동 제어신호를 논리연산하는 제 1터미네이션 제어부;

상기 제 1터미네이션 제어부의 제어에 따라 스위칭하여 터미네이션 전압을 선택적으로 공급하는 제 3터미네이션 스위칭부;

상기 제 4스위칭 구동신호 및 제 2칩 구동 제어신호를 논리연산하는 제 2터미네이션 제어부; 및

상기 제 2터미네이션 제어부의 제어에 따라 스위칭하여 접지전압을 선택적으로 공급하는 제 4터미네이션 스위칭부를 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 48】**

제 47항에 있어서, 상기 터미네이션 저항 조정부는

상기 제 3터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 3터미네이션 저항; 및

상기 제 4터미네이션 스위칭부 및 상기 입력신호의 공급노드 사이에 구비되어 상기 입력신호의 전달 특성을 제어하는 제 4터미네이션 저항을 더 구비함을 특징으로 하는 반도체 메모리 장치.

**【청구항 49】**

제 30항에 있어서, 상기 불휘발성 강유전체 모드 레지스터는

라이트 인에이블 신호, 로오 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호 및 리셋신호에 따라 프로그램 명령을 코딩하기 위한 복수개의 다중 명령신호를 순차적으로 출력하는 프로그램 명령 처리부;

상기 복수개의 다중 명령 명령신호 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부; 및



상기 불휘발성 강유전체 캐패시터를 구비하고, 상기 라이트 제어 신호 및 상기 셀 플레이트 신호에 따라 상기 불휘발성 강유전체 캐패시터에 셋팅된 상기 제어신호를 출력하는 프로그램 레지스터 어레이를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 50】

제 49항에 있어서,

상기 불휘발성 강유전체 모드 레지스터는 파워 업시 상기 리셋신호를 상기 프로그램 레지스터 제어부에 출력하는 리셋 회로부를 더 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 51】

제 49항에 있어서, 상기 프로그램 명령 처리부는

상기 라이트 인에이블 신호 및 상기 로오 어드레스 스트로브 신호의 활성화시 상기 컬럼 어드레스 스트로브 신호에 동기하여 명령 제어신호를 발생하는 명령 제어부; 및

상기 라이트 인에이블 신호 및 상기 로오 어드레스 스트로브의 활성화시 상기 컬럼 어드레스 스트로브 신호에 동기하여 상기 명령 제어신호를 플립플롭하고, 상기 복수개의 다중 명령 신호를 순차적으로 출력하는 다중 명령 발생부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 52】

제 51항에 있어서, 상기 명령 제어부는

상기 라이트 인에이블 신호, 상기 로오 어드레스 스트로브 신호, 상기 컬럼 어드레스 스트로브 신호 및 상기 리셋신호를 논리연산하는 제 1논리부;

상기 컬럼 어드레스 스트로브 신호에 동기하여 상기 제 1논리부의 출력신호의 토글을 순차적으로 플립플롭시켜 상기 명령 제어신호를 출력하는 제 1플립플롭부; 및

상기 명령 제어신호와 상기 컬럼 어드레스 스트로브 신호의 논리연산에 따라 상기 컬럼 어드레스 스트로브 신호의 오버 토글을 감지하는 오버 토글 감지부를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 53】

제 51항에 있어서, 상기 다중 명령 발생부는

상기 라이트 인에이블 신호, 상기 로오 어드레스 스트로브 신호, 상기 컬럼 어드레스 스트로브 신호 및 상기 리셋신호를 논리연산하는 제 2논리부; 및

상기 제 2논리부의 출력신호에 동기하여 상기 컬럼 어드레스 스트로브 신호의 n번째 토글시부터 상기 명령 제어신호를 플립플롭시켜 상기 복수개의 다중 명령신호를 순차적으로 출력하는 제 2플립플롭부를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 54】

제 49항에 있어서, 상기 프로그램 레지스터 어레이는

상기 풀업 인에이블 신호의 활성화시 전원전압을 풀업시키는 풀업 스위치;

셀의 양단 노드에 래치 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 구동하는 풀업 구동부;

한쌍의 데이터 입력단자와 상기 셀의 양단 노드 사이에 각각 연결되어 공통 게이트 단자를 통해 상기 라이트 제어 신호를 수신하는 라이트 인에이블 제어부;

상기 셀 플레이트 신호에 따라 상기 셀의 양단 노드에 전압 차를 발생시키는 강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 스위치; 및

상기 셀의 양단 노드에 래치 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지 전압을 구동하는 풀다운 구동부를 구비함을 특징으로 하는 반도체 메모리 장치.

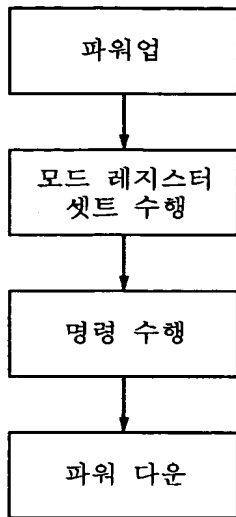
【청구항 55】

불휘발성 강유전체 메모리를 구비하여, 상기 불휘발성 강유전체 메모리에 프로그램된 모드 레지스터 값에 따라 셀 어레이의 동기 동작을 제어하기 위한 제어신호를 출력하는 불휘발성 강유전체 모드 레지스터; 및

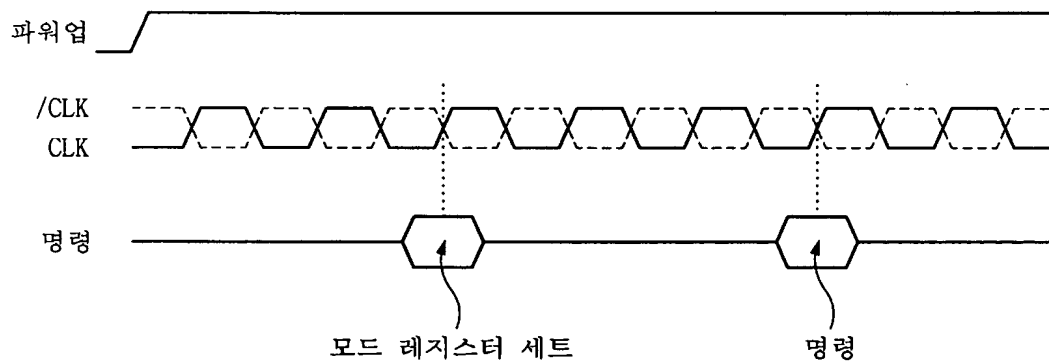
상기 셀 어레이를 복수개 구비하고, 상기 제어신호에 동기하여 선택된 상기 셀 어레이의 리드/라이트 동작을 제어하는 뱅크 어레이를 구비함을 특징으로 하는 반도체 메모리 장치.

【도면】

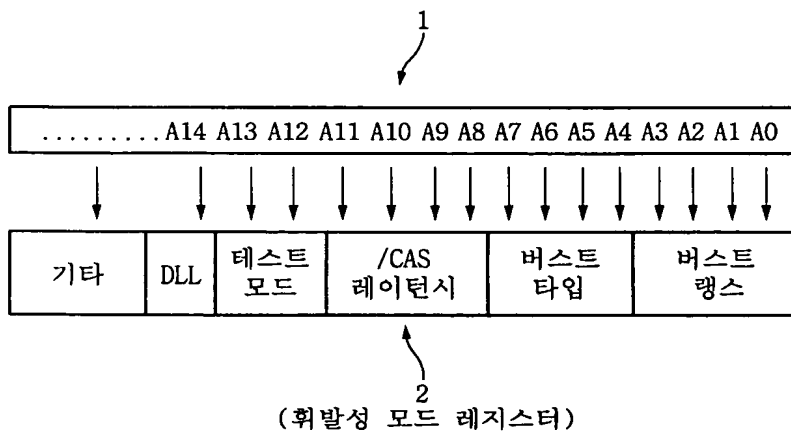
【도 1】



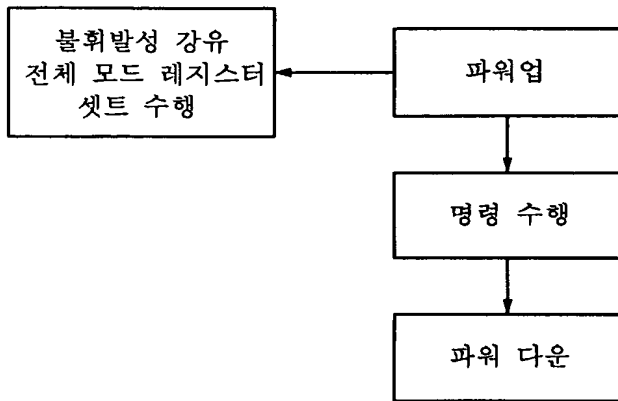
【도 2】



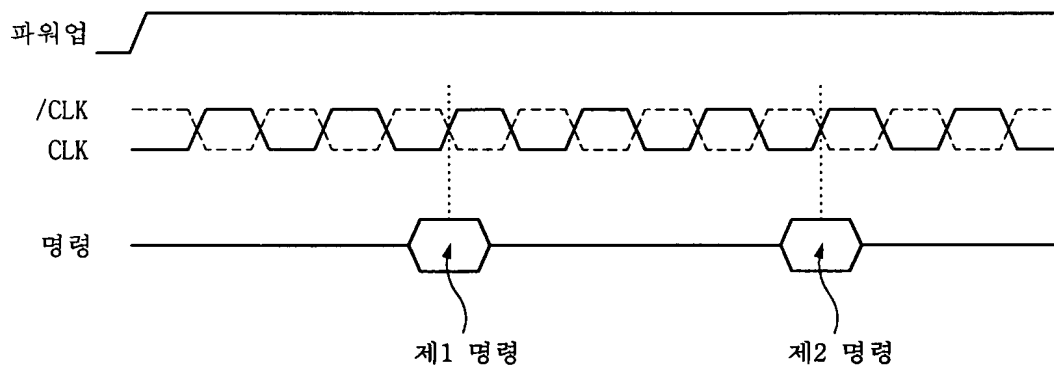
【도 3】



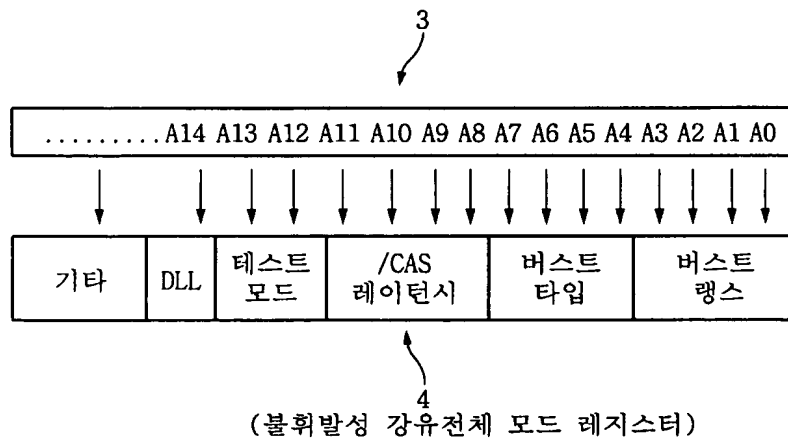
【도 4】



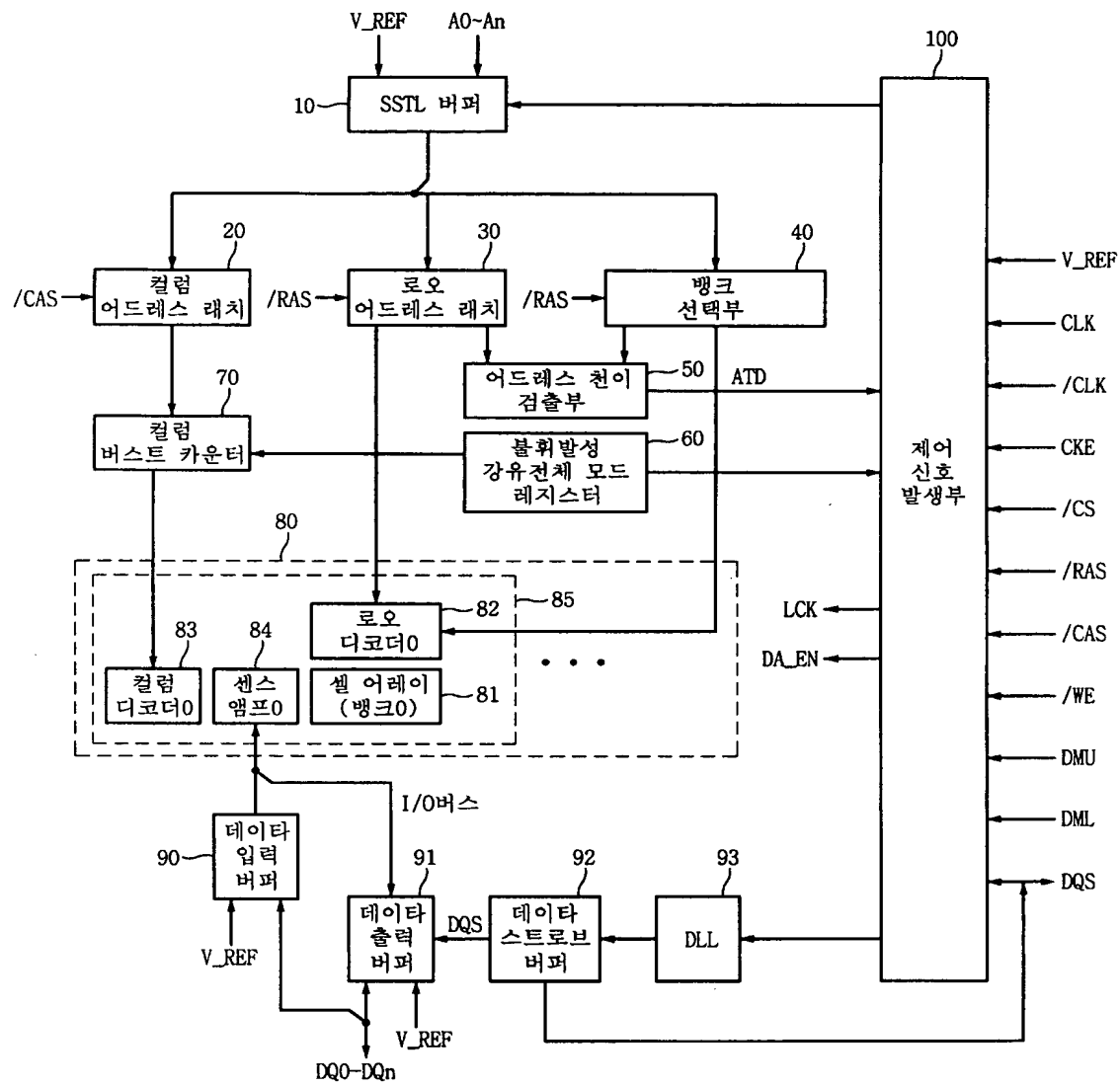
【도 5】



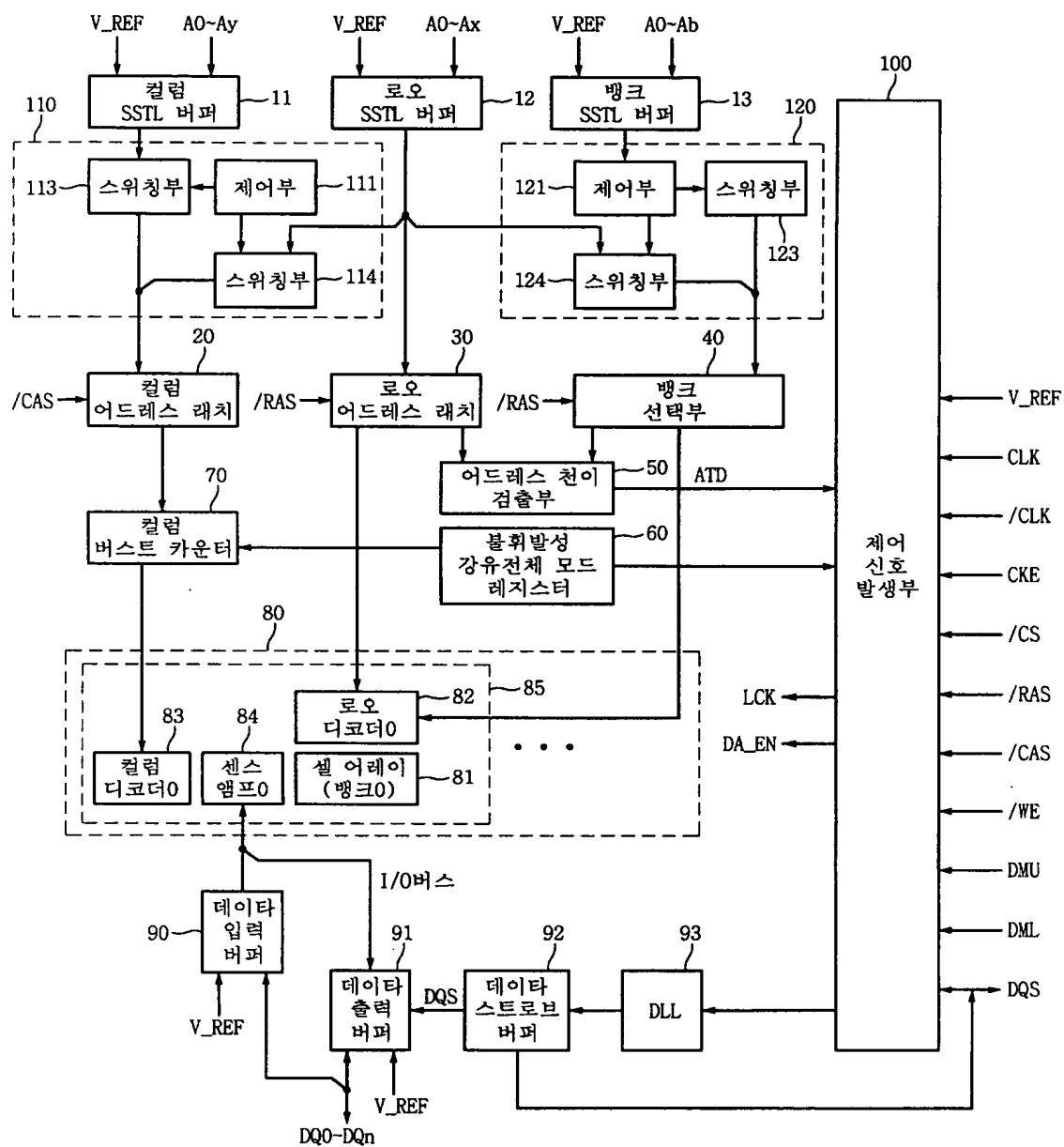
【도 6】



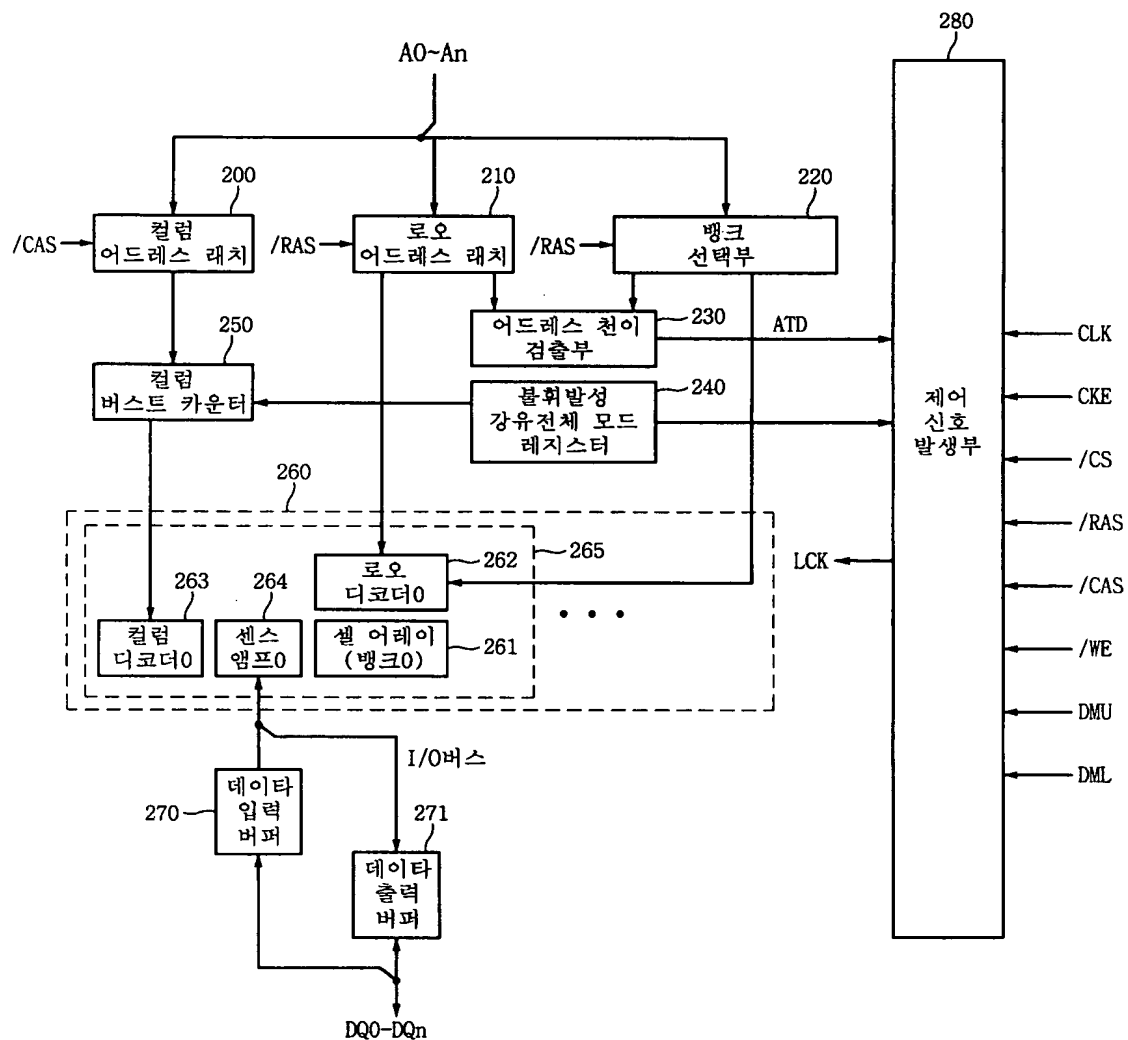
【도 7】



【도 8】

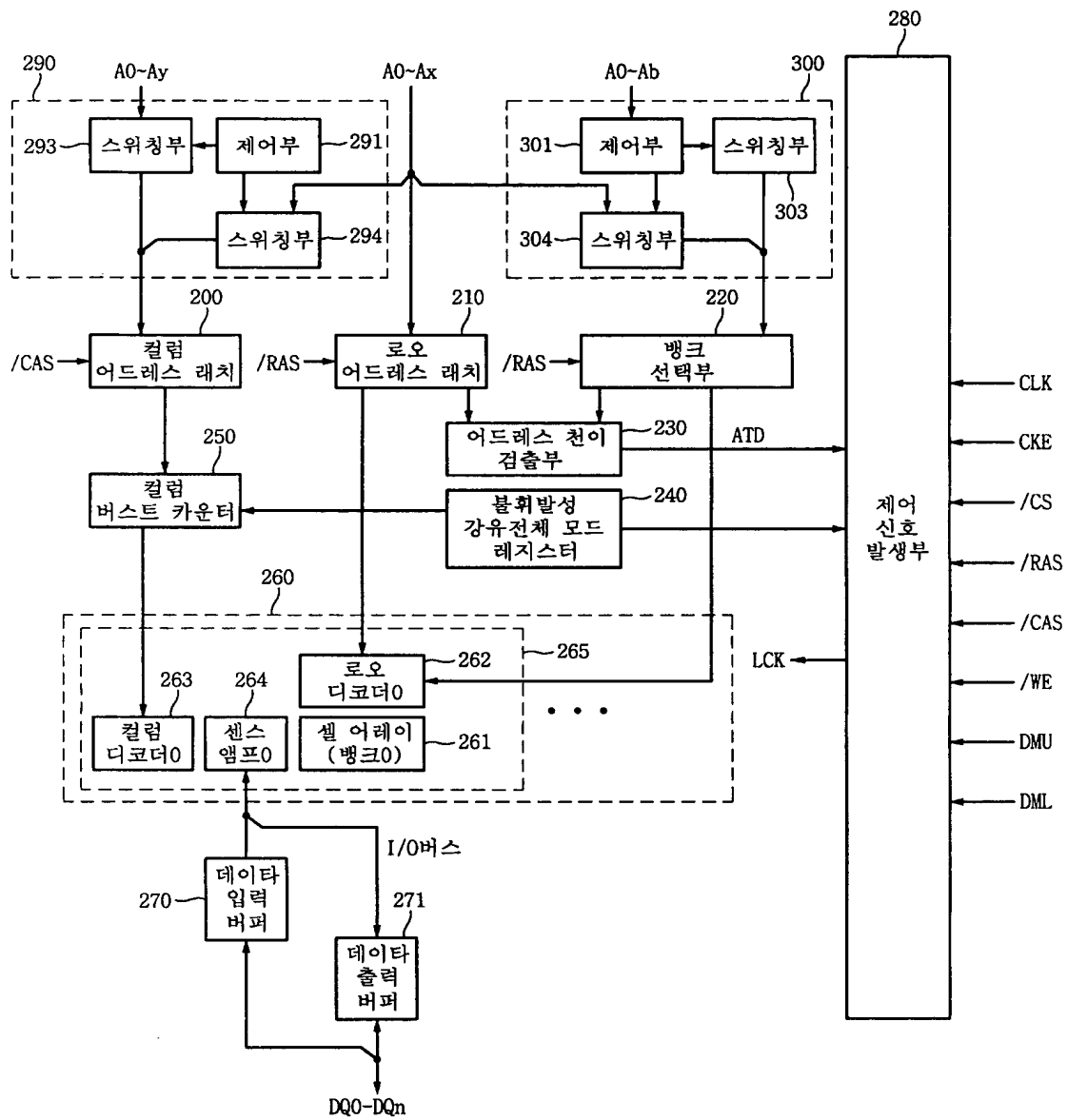


【도 9】

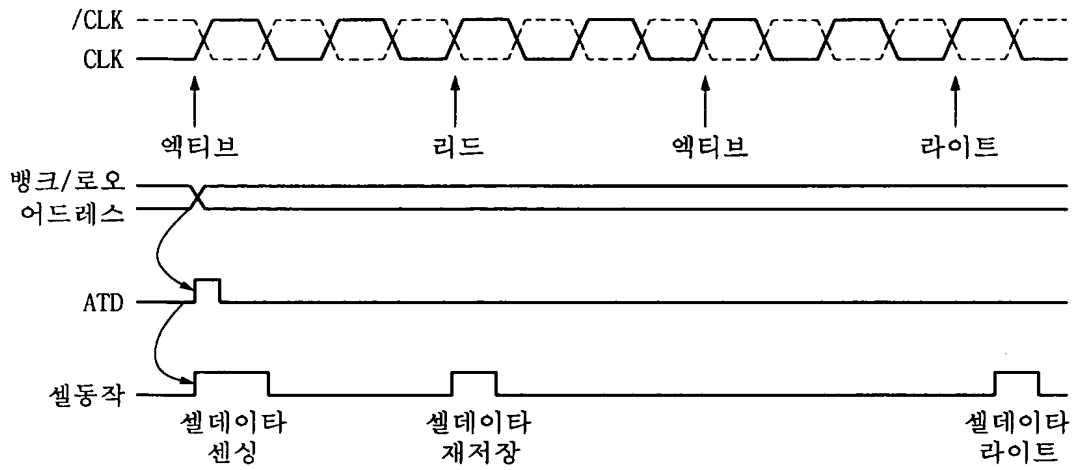




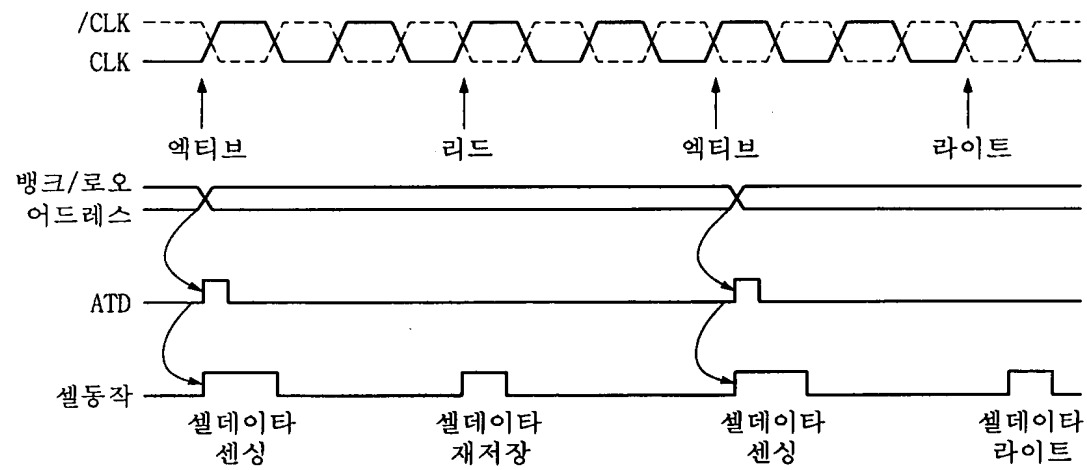
【도 10】



【도 11】

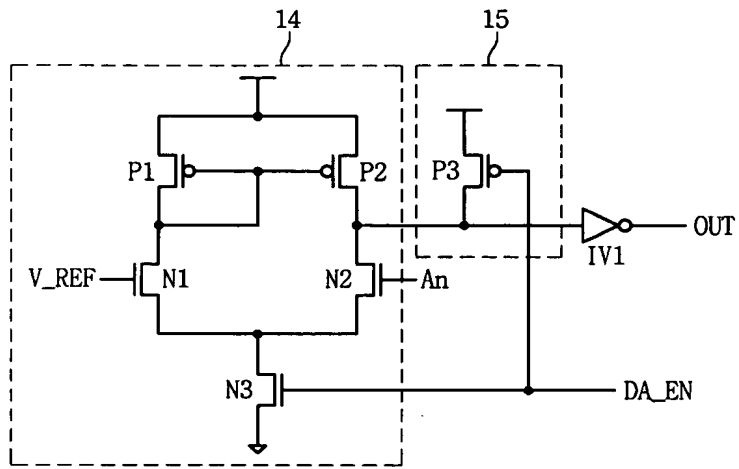


【도 12】

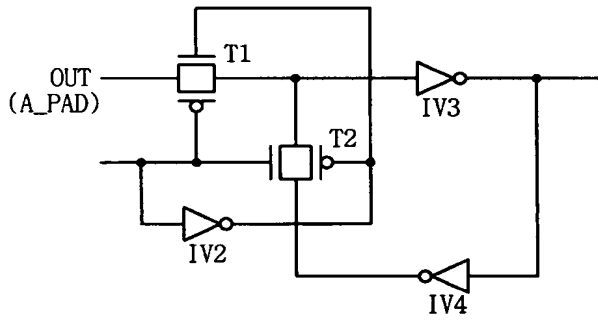




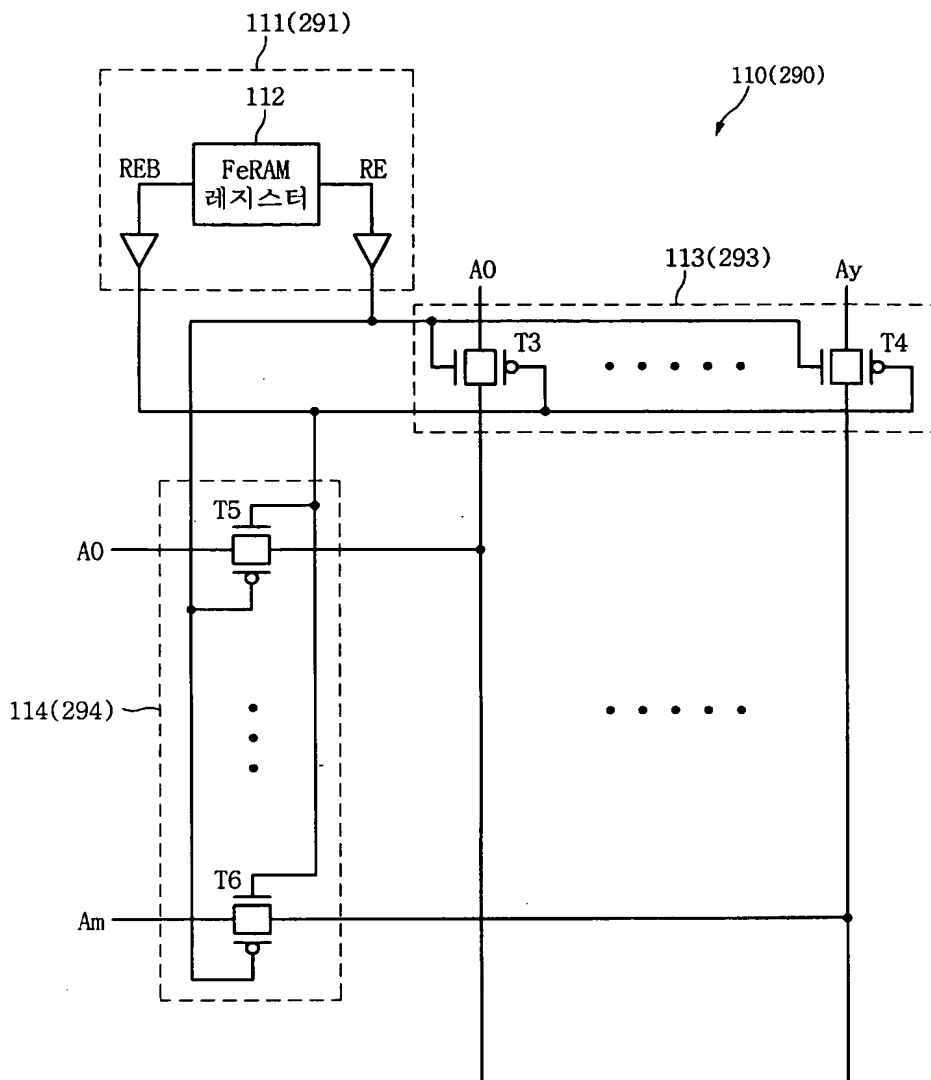
【도 13】



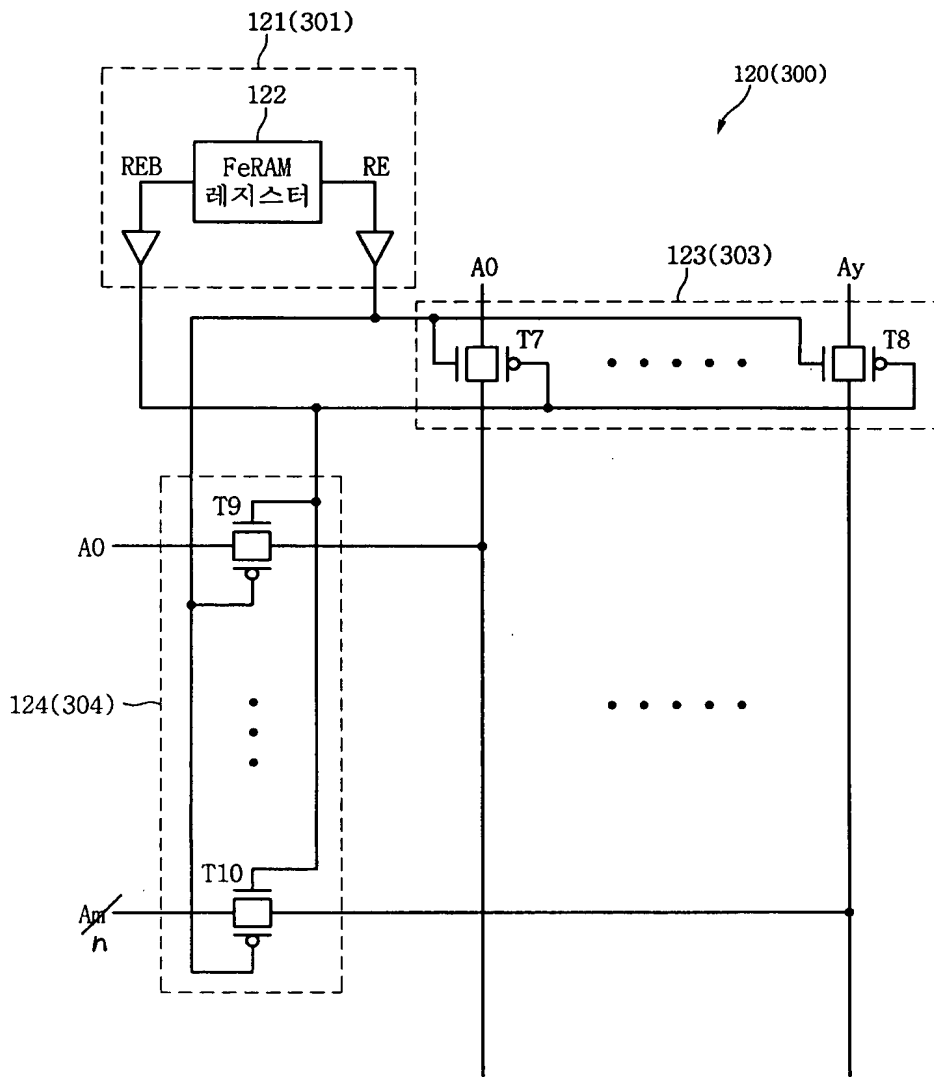
【도 14】



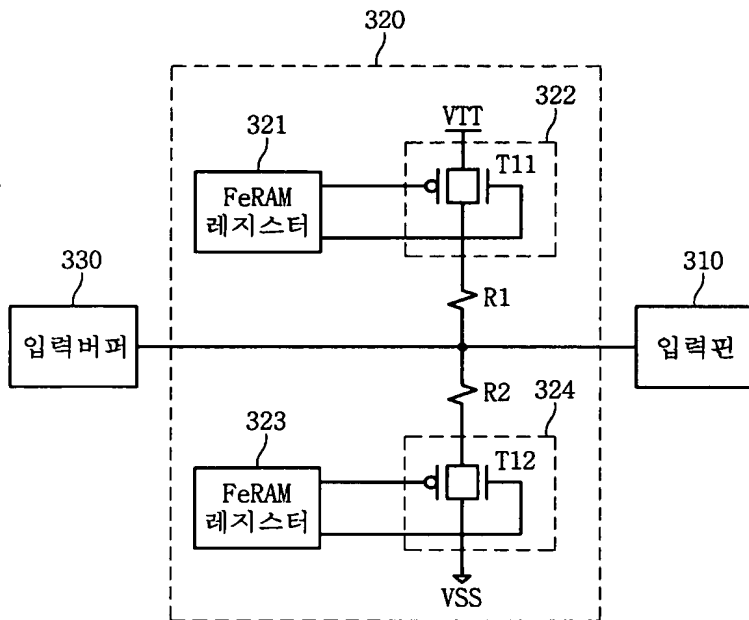
【도 15】



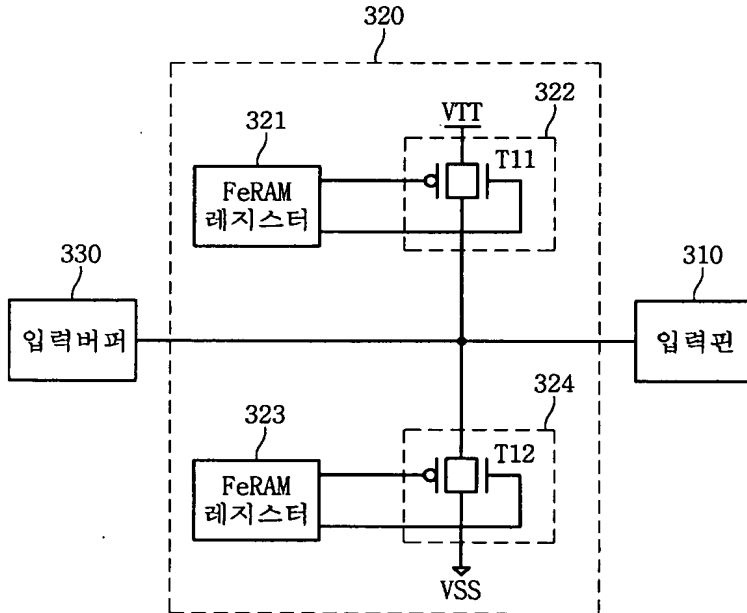
【도 16】



【도 17】

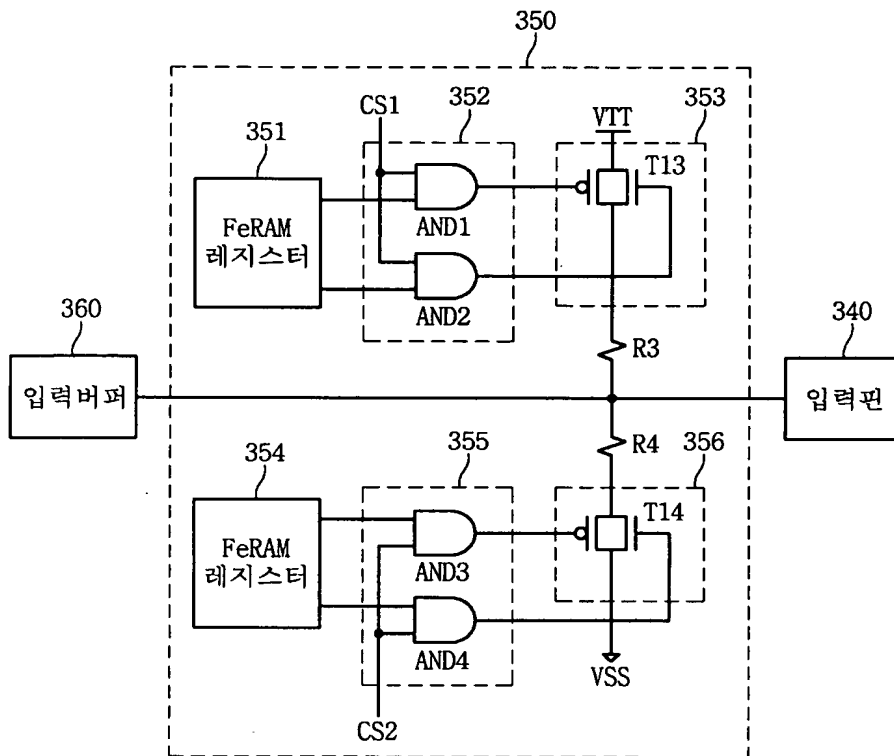


【도 18】

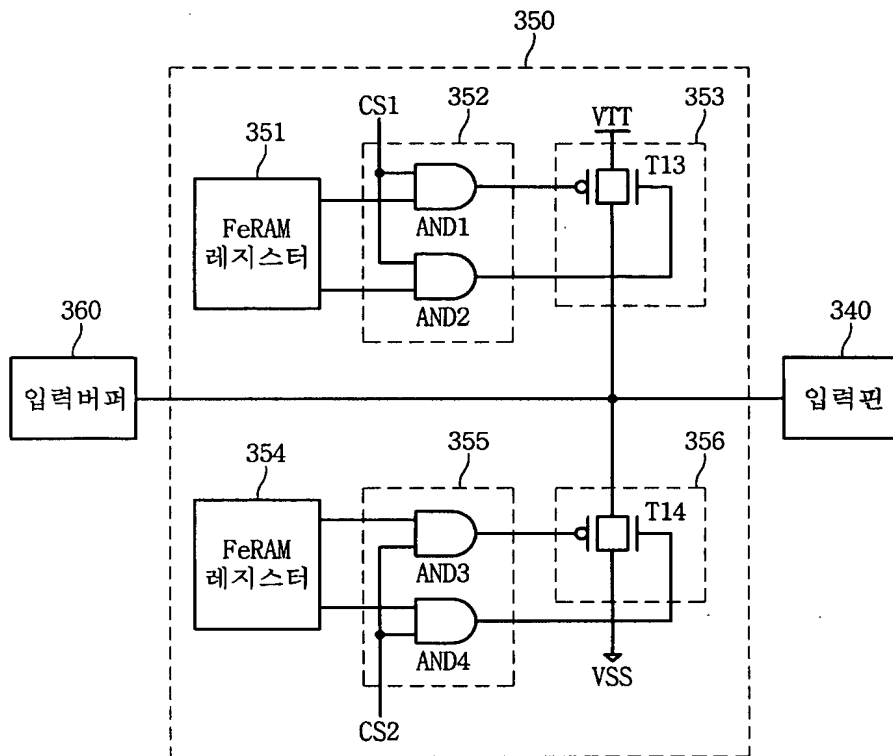




【도 19】

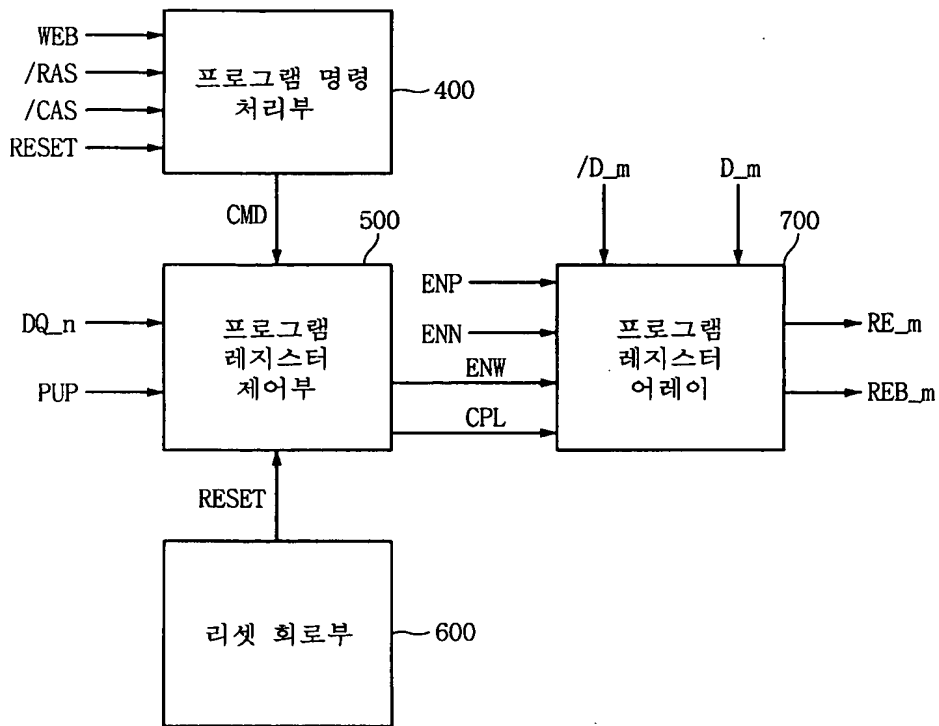


【도 20】

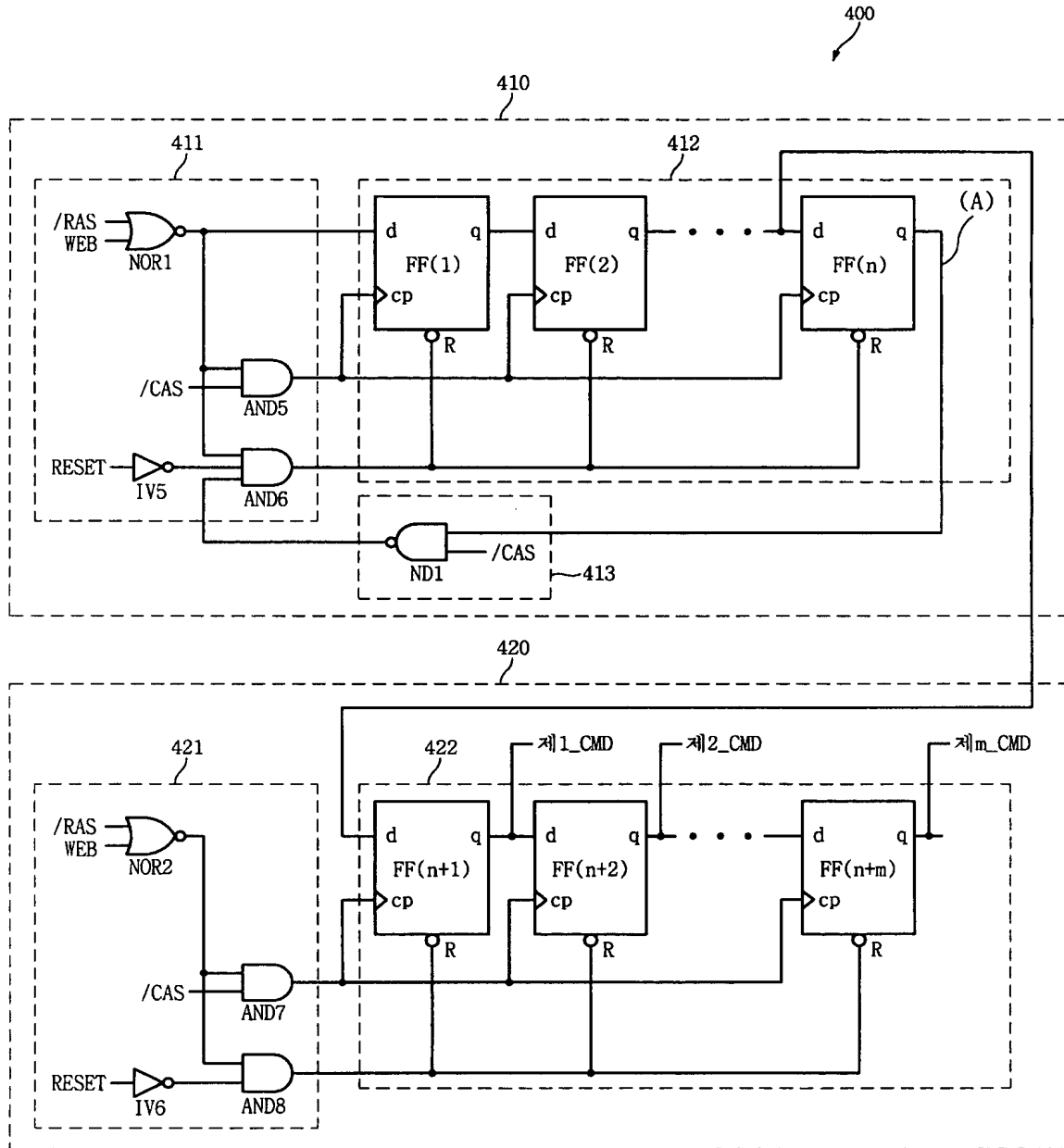




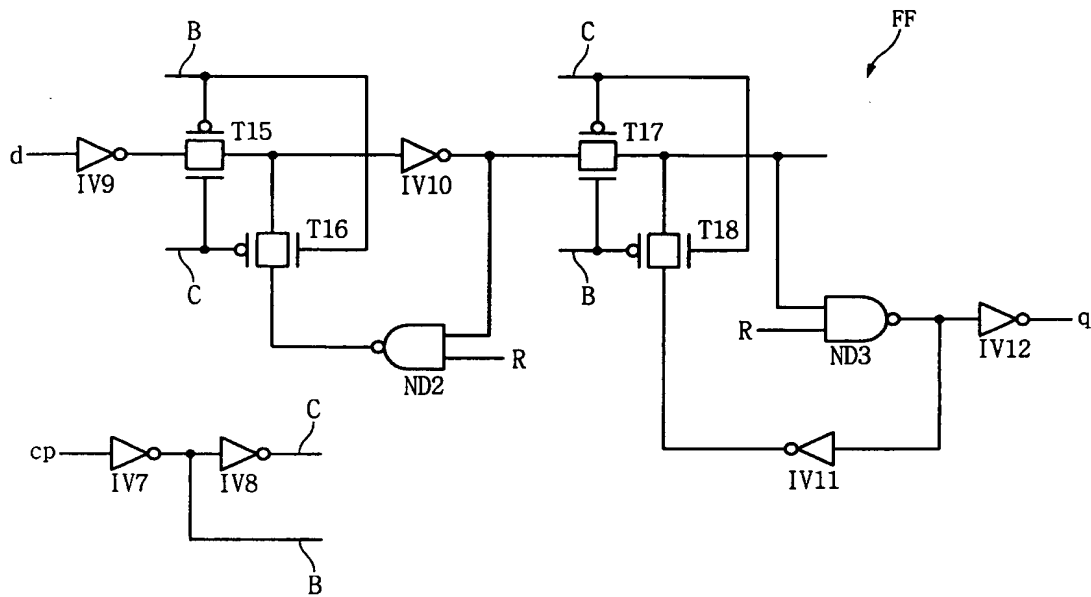
【도 21】



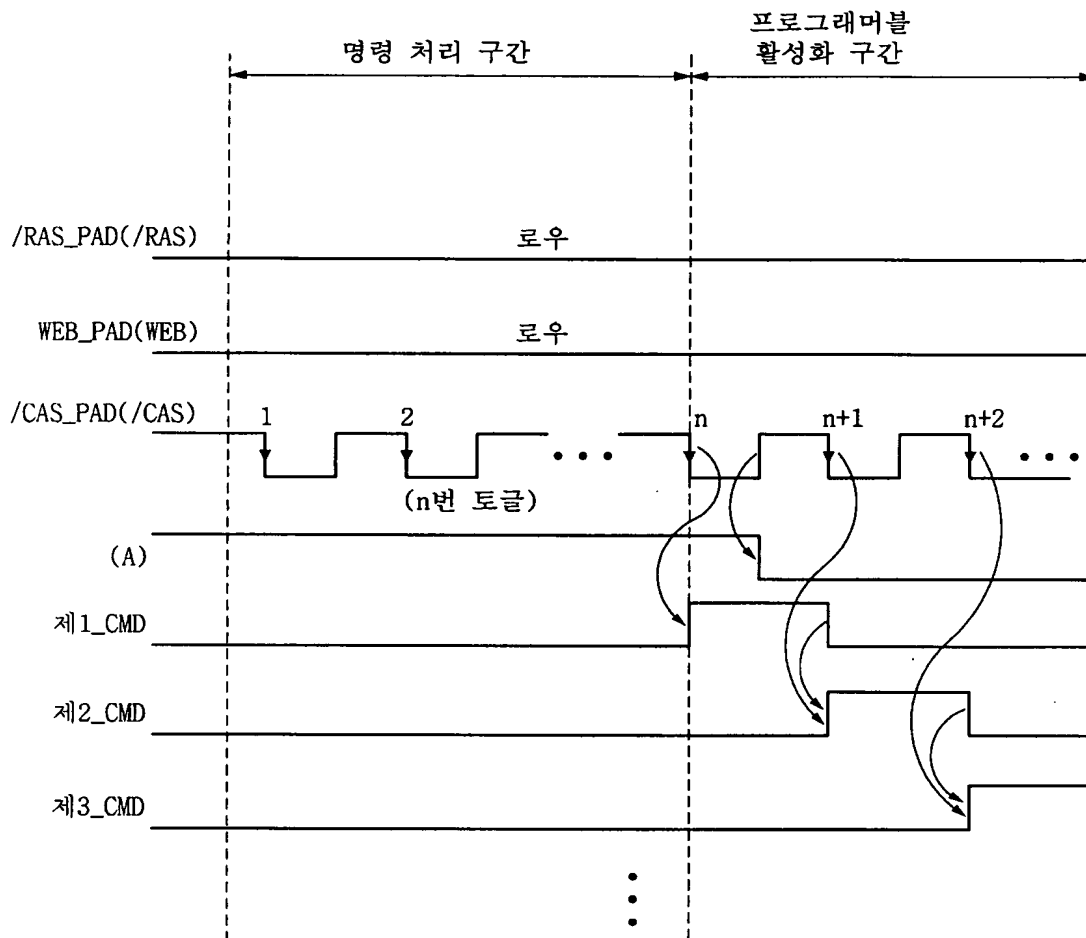
【도 22】



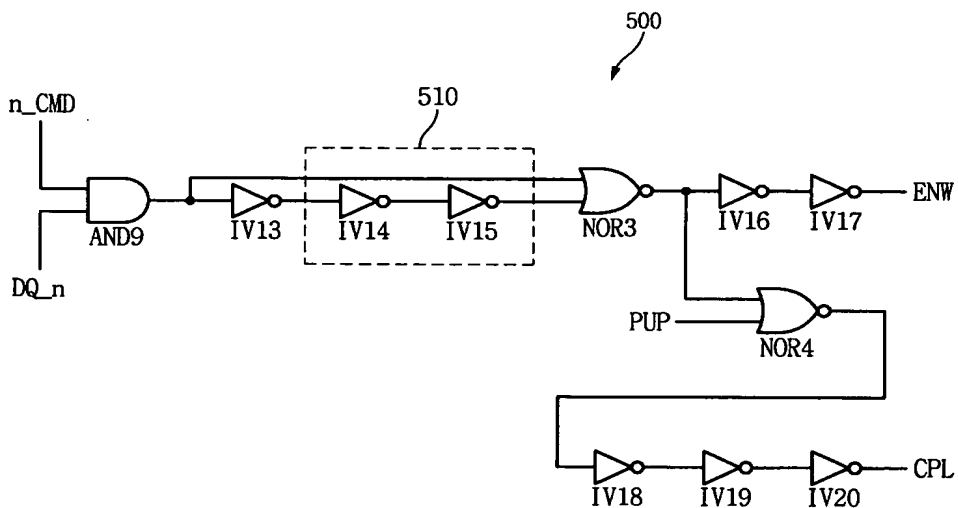
【도 23】



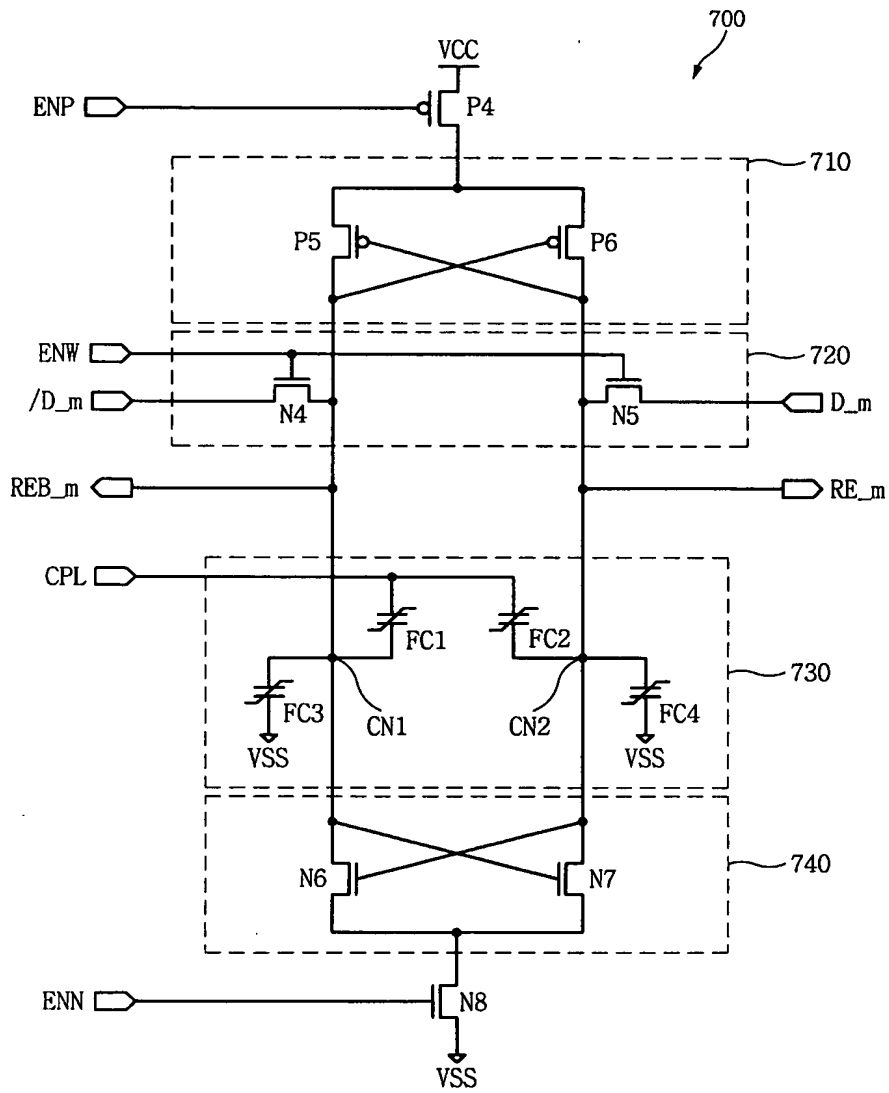
【도 24】



【도 25】

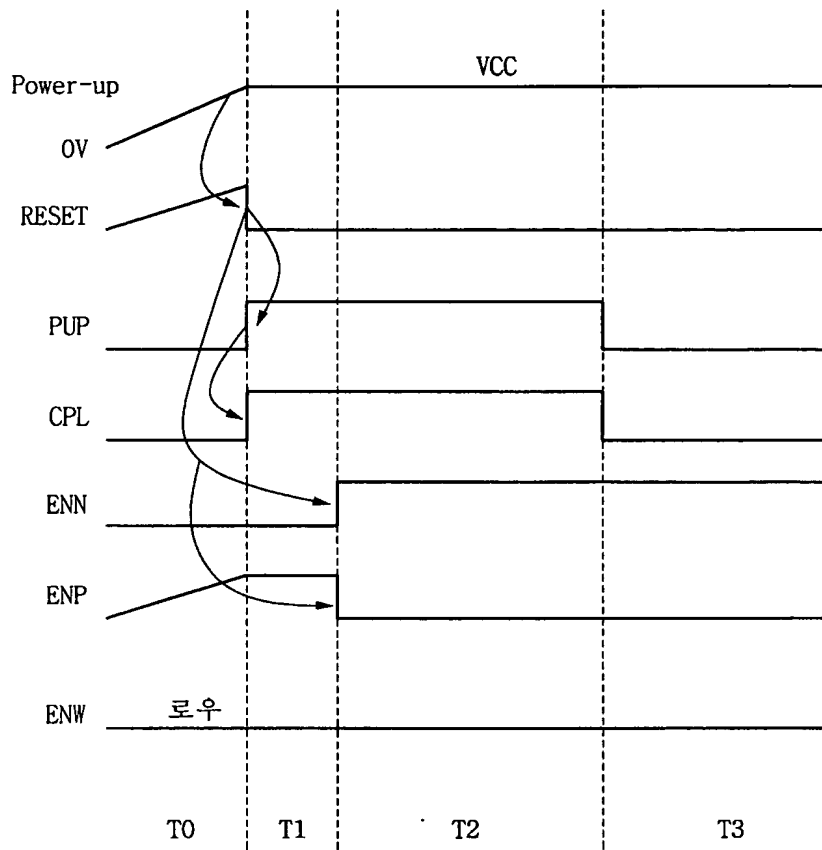


【도 26】





【도 27】



【도 28】

